

# 특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1704722 호

출원번호

Application Number

제 10-2015-0171505 호

출원일

Filing Date

2015년 12월 03일

등록일

Registration Date

2017년 02월 02일

발명의 명칭 Title of the Invention

클러 및 데이터 복원 장치

특허권자 Patentee

연세대학교 산학협력단(274171-\*\*\*\*\*)

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.

2017년 02월 02일



특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최 동 규

등 록 사 항

특 허

Patent Number

등록 제 10-1704722 호

발명자 Inventors

최우영

편기현

권대현



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월08일  
(11) 등록번호 10-1704722  
(24) 등록일자 2017년02월02일

(51) 국제특허분류(Int. Cl.)  
H03L 7/097 (2006.01) H03K 5/15 (2006.01)  
H03L 7/099 (2006.01)  
(52) CPC특허분류  
H03L 7/097 (2013.01)  
H03K 5/15 (2013.01)  
(21) 출원번호 10-2015-0171505  
(22) 출원일자 2015년12월03일  
심사청구일자 2015년12월03일  
(56) 선행기술조사문헌  
KR1020040109971 A  
KR1020150100057 A

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
최우영

편기현

권대현

(74) 대리인  
권혁수, 송윤호

전체 청구항 수 : 총 14 항

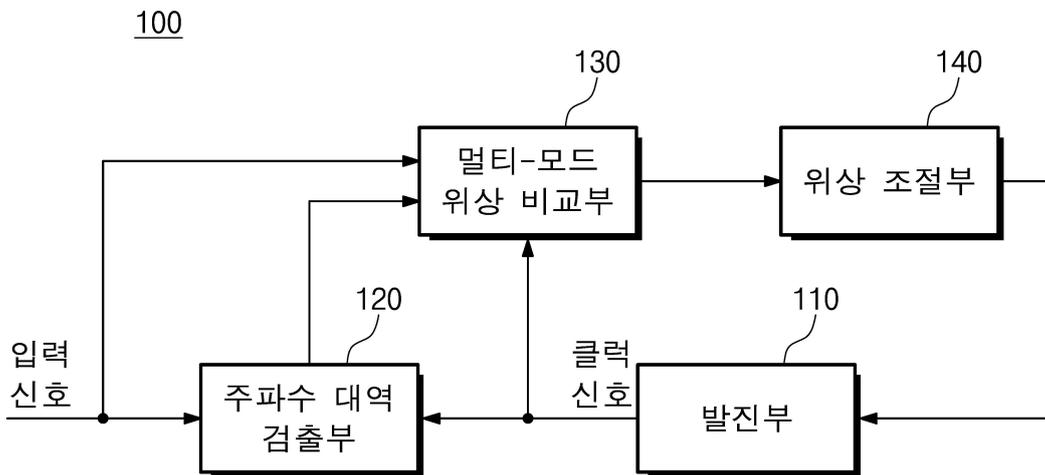
심사관 : 박정근

(54) 발명의 명칭 클럭 및 데이터 복원 장치

(57) 요약

본 발명은 클럭 및 데이터 복원 장치에 관한 것이다. 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치는, 클럭 신호를 생성하는 발진부; 입력 신호의 주파수 대역을 검출하는 주파수 대역 검출부; 및 상기 검출된 주파수 대역에 따라 다수의 동작 모드들 중 어느 하나로 상기 입력 신호와 상기 클럭 신호 간 위상 선후 관계를 결정하는 멀티-모드 위상 비교부;를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

*H03L 7/06* (2013.01)

*H03L 7/099* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들을 생성하는 발진부;

입력 신호의 주파수 대역을 검출하는 주파수 대역 검출부; 및

상기 검출된 주파수 대역에 따라 다수의 동작 모드들 중 어느 하나로 상기 입력 신호와 상기 클럭 신호 간 위상 선후 관계를 결정하는 멀티-모드 위상 비교부;

를 포함하며,

상기 주파수 대역 검출부는:

다수의 주파수 대역들 중 상기 입력 신호에 해당하는 입력 주파수 대역을 결정하고,

상기 클럭 신호들 중 둘 이상을 이용하여 복수의 서로 다른 타이밍에 상기 입력 신호의 논리 레벨을 획득하고, 획득된 논리 레벨들 간의 일치 여부를 판별하는 클럭 및 데이터 복원 장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서,

상기 주파수 대역 검출부는:

각각이 상기 입력 신호 및 서로 다른 타이밍의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 복수의 플립플롭들; 및

각각이 상기 플립플롭들로부터 출력된 신호들 중 두 개를 입력받아 XOR 연산하는 적어도 하나의 XOR 게이트;

를 포함하는 클럭 및 데이터 복원 장치.

**청구항 6**

제 1 항에 있어서,

상기 멀티-모드 위상 비교부는:

상기 입력 신호의 펄스 에지와, 상기 클럭 신호들 중 상기 입력 주파수 대역에 대응하는 동작 모드에 따라 선택된 기준 클럭 신호의 펄스 에지 간 위상 선후 관계를 결정하는 클럭 및 데이터 복원 장치.

**청구항 7**

제 6 항에 있어서,

상기 기준 클럭 신호는 상기 클럭 신호들 중 상기 동작 모드에 따라 결정된 적어도 하나의 후보 클럭 신호 중에서 선택되는 클럭 및 데이터 복원 장치.

**청구항 8**

제 7 항에 있어서,

상기 입력 신호의 주파수가 높아질수록 상기 후보 클럭 신호의 수가 증가하는 클럭 및 데이터 복원 장치.

**청구항 9**

제 7 항에 있어서,

상기 멀티-모드 위상 비교부는:

상기 후보 클럭 신호가 둘 이상인 경우, 후보 클럭 신호들 중에서 어느 하나로 선택되는 상기 기준 클럭 신호를 주기적으로 변경하는 클럭 및 데이터 복원 장치.

**청구항 10**

제 6 항에 있어서,

상기 멀티-모드 위상 비교부는:

각각이 상기 입력 신호 및 서로 다른 타이밍의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 복수의 플립플롭들;

상기 주파수 대역 검출부로부터 출력된 신호에 따라 각각이 상기 플립플롭들로부터 출력된 신호들 중 하나를 선택하는 복수의 멀티플렉서들; 및

각각이 상기 멀티플렉서들로부터 출력된 신호들 중 서로 인접한 타이밍에 해당하는 논리 레벨의 신호들을 XOR 연산하는 복수의 XOR 게이트들;

을 포함하는 클럭 및 데이터 복원 장치.

**청구항 11**

제 1 항에 있어서,

상기 결정된 위상 선후 관계를 기반으로 상기 클럭 신호의 위상이 조절되도록 상기 발진부를 제어하는 위상 조절부를 더 포함하는 클럭 및 데이터 복원 장치.

**청구항 12**

사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들을 생성하는 발진부;

상기 클럭 신호들 중 둘 이상을 이용하여 입력 신호의 주파수 대역을 검출하는 주파수 대역 검출부; 및

상기 검출된 주파수 대역에 따라 상기 클럭 신호들 중에서 선택된 기준 클럭 신호와 상기 입력 신호 간 위상 선후 관계를 결정하는 멀티-모드 위상 비교부;

를 포함하며,

상기 발진부는:

$360^\circ / 2^n$ 의 상기 기준 위상 차를 갖는 제 1 내지 제  $2^n$  클럭 신호들을 생성하며,

여기서,  $n$ 은 상기 멀티-모드 위상 비교부에 대하여 사전에 결정된 동작 모드들의 개수이고,

상기 주파수 대역 검출부는:

제 1 내지 제  $n$  주파수 대역들 중 상기 입력 신호의 주파수가 속하는 입력 주파수 대역을 결정하며,

상기 제 1 주파수 대역에서 상기 제  $n$  주파수 대역으로 갈수록 주파수 대역의 중심 주파수가 높아지며,

상기 주파수 대역 검출부는:

상기 제 1 내지 제  $2^n$  클럭 신호들 중에서 어느 하나에 해당하는 제 1 대역 검출 클럭 신호를 이용하여 제 1 타

이밍에 상기 입력 신호의 논리 레벨을 획득하고,

상기 제 1 내지 제  $2^n$  클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호보다 위상이  $360^\circ / 2^{k-1}$ 만큼 앞선 제 k 대역 검출 클럭 신호를 이용하여 제 k 타이밍에 상기 입력 신호의 논리 레벨을 획득하고,

획득된 논리 레벨들을 비교하여 논리 레벨의 일치 여부를 판별하며,

여기서, k는 2 내지 n의 자연수인 클럭 및 데이터 복원 장치.

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

제 12 항에 있어서,

상기 주파수 대역 검출부는:

상기 입력 신호 및 상기 제 1 대역 검출 클럭 신호를 입력받아 상기 제 1 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 1 대역 검출 플립플롭;

상기 입력 신호 및 상기 제 k 대역 검출 클럭 신호를 입력받아 상기 제 k 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 k 대역 검출 플립플롭; 및

각각이 상기 제 1 내지 제 k 대역 검출 플립플롭들로부터 출력된 신호들 중 두 개를 입력받아 XOR 연산하는 n-1 개의 대역 검출 XOR 게이트들;

을 포함하는 클럭 및 데이터 복원 장치.

**청구항 17**

제 16 항에 있어서,

상기 멀티-모드 위상 비교부는:

상기 입력 신호 및 각각의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는  $2^n$  개의 위상 비교 플립플롭들;

상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 1 위상 비교 멀티플렉서;

상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호보다 위상이  $360^\circ / 2^n$ 만큼 뒤진 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 2 위상 비교 멀티플렉서;

상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호보다 위상이  $360^\circ / 2^n$ 만큼 앞선 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 3 위상 비교 멀티플렉서;

상기 제 1 및 제 2 위상 비교 멀티플렉서들로부터 출력된 신호들을 XOR 연산하는 제 1 위상 비교 XOR 게이트; 및

상기 제 1 및 제 3 위상 비교 멀티플렉서들로부터 출력된 신호들을 XOR 연산하는 제 2 위상 비교 XOR 게이트;

를 포함하는 클럭 및 데이터 복원 장치.

**청구항 18**

제 17 항에 있어서,

상기 기준 클럭 신호는 상기 제 1 내지 제 2<sup>n</sup> 클럭 신호들 중 상기 검출된 주파수 대역에 따라 결정된 적어도 하나의 후보 클럭 신호 중에서 선택되는 클럭 및 데이터 복원 장치.

**청구항 19**

제 18 항에 있어서,

상기 후보 클럭 신호는:

상기 입력 주파수 대역이 상기 제 1 주파수 대역인 경우, 상기 제 1 내지 제 2<sup>n</sup> 클럭 신호들 중에서 어느 하나에 해당하는 제 1 후보 클럭 신호로 결정되고,

상기 입력 주파수 대역이 제 i 주파수 대역인 경우, 상기 제 1 후보 클럭 신호 및 상기 제 1 후보 클럭 신호보다 위상이  $(p-1) \cdot 360^\circ / 2^{i-1}$ 만큼 앞선 제 p 후보 클럭 신호로 결정되며,

여기서, i는 2 내지 n 중 하나의 자연수이고, p는 2 내지 2<sup>i-1</sup>의 자연수인 클럭 및 데이터 복원 장치.

**청구항 20**

제 19 항에 있어서,

상기 기준 클럭 신호는:

상기 입력 주파수 대역이 상기 제 i 주파수 대역인 경우, 상기 제 1 및 제 p 후보 클럭 신호들 중에서 어느 하나로 주기적으로 변경되는 클럭 및 데이터 복원 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 클럭 및 데이터 복원 장치에 관한 것이다.

**배경 기술**

[0002] 입력된 데이터 신호로부터 클럭과 데이터를 복원하는 클럭 및 데이터 복원 회로는 멀티미디어 콘텐츠의 다양화 및 대용량화에 따라 고속 및 저전력의 특성이 요구되고 있다. 이러한 클럭 및 데이터 복원 회로는 데이터 전송률이 낮아지면 동작 주파수를 낮추어 전력 소모를 감소시킬 수 있는데, 이 경우 클럭 및 데이터 복원 회로는 낮은 주파수에서 높은 주파수에 이르는 광대역의 동작 특성을 갖추어야 한다.

[0003] 종래의 광대역 클럭 및 데이터 복원 회로는 광대역의 주파수에 걸쳐 클럭 신호를 생성하는 광대역 전압 제어 발진기와, 광대역의 주파수에 걸쳐 입력 신호의 주파수를 검출하는 광대역 주파수 검출기를 필요로 하였다. 그러나, 전압 제어 발진기는 광대역의 주파수에 걸쳐 일정한 이득을 갖도록 설계하기 어려우며, 전압 제어 발진기의 이득이 변화하면 클럭 및 데이터 복원 회로의 안정성이 저하되는 문제가 발생하게 된다. 또한, 광대역으로 동작하는 주파수 검출기 역시 설계가 어려우며, 주파수 검출기가 광대역으로 구성되는 경우 주파수 락킹 시간(frequency locking time)이 길어지는 문제가 있다.

**선행기술문헌**

**특허문헌**

(특허문헌 0001) 한국 공개특허공보 제10-2015-0100057호(2015.09.02.공개)

**발명의 내용**

**해결하려는 과제**

- [0004] 본 발명의 실시예는 광대역으로 동작하는 발진기와 광대역으로 동작하는 주파수 검출기를 사용하지 않고도 광대역의 주파수에 걸쳐 입력 신호로부터 클럭 및 데이터를 복원할 수 있는 클럭 및 데이터 복원 장치를 제공하는 것을 목적으로 한다.
- [0005] 본 발명의 실시예는 광대역으로 동작하기 위해 필요한 장치의 회로 면적을 줄이고 회로 동작의 신뢰성을 높일 수 있는 클럭 및 데이터 복원 장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0006] 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치는, 클럭 신호를 생성하는 발진부; 입력 신호의 주파수 대역을 검출하는 주파수 대역 검출부; 및 상기 검출된 주파수 대역에 따라 다수의 동작 모드들 중 어느 하나로 상기 입력 신호와 상기 클럭 신호 간 위상 선후 관계를 결정하는 멀티-모드 위상 비교부;를 포함할 수 있다.
- [0007] 상기 발진부는: 사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들을 생성할 수 있다.
- [0008] 상기 주파수 대역 검출부는: 다수의 주파수 대역들 중 상기 입력 신호에 해당하는 입력 주파수 대역을 결정할 수 있다.
- [0009] 상기 주파수 대역 검출부는: 상기 클럭 신호들 중 둘 이상을 이용하여 복수의 서로 다른 타이밍에 상기 입력 신호의 논리 레벨을 획득하고, 획득된 논리 레벨들 간의 일치 여부를 판별할 수 있다.
- [0010] 상기 주파수 대역 검출부는: 각각이 상기 입력 신호 및 서로 다른 타이밍의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 복수의 플립플롭들; 및 각각이 상기 플립플롭들로부터 출력된 신호들 중 두 개를 입력받아 XOR 연산하는 적어도 하나의 XOR 게이트;를 포함할 수 있다.
- [0011] 상기 멀티-모드 위상 비교부는: 상기 입력 신호의 펄스 에지와, 상기 클럭 신호들 중 상기 입력 주파수 대역에 대응하는 동작 모드에 따라 선택된 기준 클럭 신호의 펄스 에지 간 위상 차를 검출할 수 있다.
- [0012] 상기 기준 클럭 신호는 상기 클럭 신호들 중 상기 동작 모드에 따라 결정된 적어도 하나의 후보 클럭 신호 중에서 선택될 수 있다.
- [0013] 상기 입력 신호의 주파수가 높아질수록 상기 후보 클럭 신호의 수가 증가할 수 있다.
- [0014] 상기 멀티-모드 위상 비교부는: 상기 후보 클럭 신호가 둘 이상인 경우, 후보 클럭 신호들 중에서 어느 하나로 선택되는 상기 기준 클럭 신호를 주기적으로 변경할 수 있다.
- [0015] 상기 멀티-모드 위상 비교부는: 각각이 상기 입력 신호 및 서로 다른 타이밍의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 복수의 플립플롭들; 상기 주파수 대역 검출부로부터 출력된 신호에 따라 각각이 상기 플립플롭들로부터 출력된 신호들 중 하나를 선택하는 복수의 멀티플렉서들; 및 각각이 상기 멀티플렉서들로부터 출력된 신호들 중 서로 인접한 타이밍에 해당하는 논리 레벨의 신호들을 XOR 연산하는 복수의 XOR 게이트들;을 포함할 수 있다.
- [0016] 상기 검출된 위상 차를 기반으로 상기 클럭 신호의 위상이 조절되도록 상기 발진부를 제어하는 위상 조절부를 더 포함할 수 있다.
- [0017] 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치는, 사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들을 생성하는 발진부; 상기 클럭 신호들 중 둘 이상을 이용하여 입력 신호의 주파수 대역을 검출하는 주파수 대역 검출부; 및 상기 검출된 주파수 대역에 따라 상기 클럭 신호들 중에서 선택된 기준 클럭 신호와 상기 입력 신호 간 위상 선후 관계를 결정하는 멀티-모드 위상 비교부;를 포함할 수 있다.
- [0018] 상기 발진부는:  $360^\circ / 2^n$ 의 상기 기준 위상 차를 갖는 제 1 내지 제  $2^n$  클럭 신호들을 생성하며, 여기서, n은 상기 멀티-모드 위상 비교부에 대하여 사전에 결정된 동작 모드들의 개수일 수 있다.
- [0019] 상기 주파수 대역 검출부는: 제 1 내지 제 n 주파수 대역들 중 상기 입력 신호의 주파수가 속하는 입력 주파수 대역을 결정하며, 상기 제 1 주파수 대역에서 상기 제 n 주파수 대역으로 갈수록 주파수 대역의 중심 주파수가

높아질 수 있다.

- [0020] 상기 주파수 대역 검출부는: 상기 제 1 내지 제  $2^n$  클럭 신호들 중에서 어느 하나에 해당하는 제 1 대역 검출 클럭 신호를 이용하여 제 1 타이밍에 상기 입력 신호의 논리 레벨을 획득하고, 상기 제 1 내지 제  $2^n$  클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호보다 위상이  $360^\circ / 2^{k-1}$ 만큼 앞선 제 k 대역 검출 클럭 신호를 이용하여 제 k 타이밍에 상기 입력 신호의 논리 레벨을 획득하고, 획득된 논리 레벨들을 비교하여 논리 레벨의 일치 여부를 판별하며, 여기서, k는 2 내지 n의 자연수일 수 있다.
- [0021] 상기 주파수 대역 검출부는: 상기 입력 신호 및 상기 제 1 대역 검출 클럭 신호를 입력받아 상기 제 1 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 1 대역 검출 플립플롭; 상기 입력 신호 및 상기 제 k 대역 검출 클럭 신호를 입력받아 상기 제 k 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 k 대역 검출 플립플롭; 및 각각이 상기 제 1 내지 제 k 대역 검출 플립플롭들로부터 출력된 신호들 중 두 개를 입력받아 XOR 연산하는 n-1 개의 대역 검출 XOR 게이트들;을 포함할 수 있다.
- [0022] 상기 멀티-모드 위상 비교부는: 상기 입력 신호 및 각각의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는  $2^n$  개의 위상 비교 플립플롭들; 상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 1 위상 비교 멀티플렉서; 상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호보다 위상이  $360^\circ / 2^n$ 만큼 뒤진 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 2 위상 비교 멀티플렉서; 상기 주파수 대역 검출부로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들로부터 출력된 신호들 중에서 상기 기준 클럭 신호보다 위상이  $360^\circ / 2^n$ 만큼 앞선 클럭 신호의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 3 위상 비교 멀티플렉서; 상기 제 1 및 제 2 위상 비교 멀티플렉서들로부터 출력된 신호들을 XOR 연산하는 제 1 위상 비교 XOR 게이트; 및 상기 제 1 및 제 3 위상 비교 멀티플렉서들로부터 출력된 신호들을 XOR 연산하는 제 2 위상 비교 XOR 게이트;를 포함할 수 있다.
- [0023] 상기 기준 클럭 신호는 상기 제 1 내지 제  $2^n$  클럭 신호들 중 상기 검출된 주파수 대역에 따라 결정된 적어도 하나의 후보 클럭 신호 중에서 선택될 수 있다.
- [0024] 상기 후보 클럭 신호는: 상기 입력 주파수 대역이 상기 제 1 주파수 대역인 경우, 상기 제 1 내지 제  $2^n$  클럭 신호들 중에서 어느 하나에 해당하는 제 1 후보 클럭 신호로 결정되고, 상기 입력 주파수 대역이 제 i 주파수 대역인 경우, 상기 제 1 후보 클럭 신호 및 상기 제 1 후보 클럭 신호보다 위상이  $(p-1) \cdot 360^\circ / 2^{i-1}$ 만큼 앞선 제 p 후보 클럭 신호로 결정되며, 여기서, i는 2 내지 n 중 하나의 자연수이고, p는 2 내지  $2^{i-1}$ 의 자연수일 수 있다.
- [0025] 상기 기준 클럭 신호는: 상기 입력 주파수 대역이 상기 제 i 주파수 대역인 경우, 상기 제 1 및 제 p 후보 클럭 신호들 중에서 어느 하나로 주기적으로 변경될 수 있다.

**발명의 효과**

- [0026] 본 발명의 실시예에 따르면, 광대역 발진기와 광대역 주파수 검출기를 사용하지 않고도 광대역으로 동작하는 클럭 및 데이터 복원 장치를 구성할 수 있어 장치의 설계 및 제작이 용이하다.
- [0027] 본 발명의 실시예에 따르면, 광대역으로 동작하기 위해 필요한 장치의 회로 면적을 줄이고 회로 동작의 신뢰성을 높일 수 있다.

**도면의 간단한 설명**

- [0028] 도 1은 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치의 예시적인 블록도이다.
- 도 2는 본 발명의 일 실시예에 따라 발진부가 생성하는 클럭 신호들을 예시적으로 나타내는 도면이다.
- 도 3 내지 도 5는 각각 본 발명의 일 실시예에 따라 제 1 주파수, 제 1 주파수보다 높은 제 2 주파수, 그리고

제 2 주파수보다 높은 제 3 주파수를 갖는 입력 신호의 입력 주파수 대역을 결정하는 과정을 설명하기 위한 예시적인 도면이다.

도 6은 본 발명의 일 실시예에 따른 주파수 대역 검출부의 예시적인 회로도이다.

도 7 내지 도 9는 각각 본 발명의 일 실시예에 따라 제 1 내지 제 3 주파수를 갖는 입력 신호와 클럭 신호 간의 위상 차를 검출하기 위해 사용되는 기준 클럭 신호를 설명하기 위한 예시적인 도면이다.

도 10 및 도 11은 본 발명의 일 실시예에 따라 입력 신호와 기준 클럭 신호 간의 위상 선후 관계를 결정하는 과정을 설명하기 위한 예시적인 도면이다.

도 12는 본 발명의 일 실시예에 따른 멀티-모드 위상 비교부의 예시적인 회로도이다.

도 13은 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 1 주파수 대역인 경우 멀티-모드 위상 비교부의 동작을 설명하기 위한 예시적인 도면이다.

도 14는 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 2 주파수 대역인 경우 멀티-모드 위상 비교부의 동작을 설명하기 위한 예시적인 도면이다.

도 15 및 도 16은 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 3 주파수 대역인 경우 멀티-모드 위상 비교부의 동작을 설명하기 위한 예시적인 도면이다.

도 17은 본 발명의 일 실시예에 따라 기준 클럭 신호를 주기적으로 변경하기 위한 멀티-모드 위상 비교부의 회로 구성을 예시적으로 설명하기 위한 도면이다.

도 18은 본 발명의 일 실시예에 따른 위상 조절부의 예시적인 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0030] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.

[0031] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는' 이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.

[0032] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0033] 도 1은 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치(100)의 예시적인 블록도이다.

[0034] 도 1에 도시된 바와 같이, 상기 클럭 및 데이터 복원 장치(100)는 발진부(110), 주파수 대역 검출부(120) 및 멀티-모드 위상 비교부(130)를 포함한다.

[0035] 상기 발진부(110)는 클럭 신호를 생성한다. 상기 주파수 대역 검출부(120)는 입력 신호의 주파수 대역을 검출한다. 상기 멀티-모드 위상 비교부(130)는 상기 검출된 주파수 대역에 따라 다수의 동작 모드들 중 어느 하나로 상기 입력 신호와 상기 클럭 신호 간 위상 선후 관계를 결정한다.

[0036] 상기 발진부(110)는 소정의 주파수로 진동하는 클럭 신호를 생성한다. 일 실시예에 따르면, 상기 발진부(110)는 입력 전압에 따라 발진 주파수를 조절 가능한 전압 제어 발진기를 포함할 수 있으나, 상기 발진부(110)에 사

용되는 발진기의 종류는 이에 제한되지 않는다.

- [0037] 본 발명의 실시예에 따르면, 상기 발진부(110)는 사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들을 생성할 수 있다.
- [0038] 상기 발진부(110)는  $360^\circ / 2^n$ 의 기준 위상 차를 갖는 제 1 내지 제  $2^n$  클럭 신호들을 생성할 수 있다. 여기서, n은 상기 멀티-모드 위상 비교부(130)에 대하여 사전에 결정된 동작 모드들의 개수이다.
- [0039] 즉, 상기 발진부(110)는 상기 멀티-모드 위상 비교부(130)의 동작 모드들의 개수 n만큼 2를 거듭제곱한  $2^n$  개의 클럭 신호들을 생성하고, 이 때 상기 클럭 신호들 간의 위상 차인 기준 위상 차는  $360^\circ / 2^n$ 이다.
- [0040] 도 2는 본 발명의 일 실시예에 따라 발진부(100)가 생성하는 클럭 신호들을 예시적으로 나타내는 도면이다.
- [0041] 본 발명의 일 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 3 개의 동작 모드들을 갖도록 구성될 수 있으며, 이 경우 n = 3이다.
- [0042] 따라서, 도 2에 도시된 바와 같이, 상기 발진부(100)는  $2^3 = 8$  개의 제 1 내지 제 8 클럭 신호들을 생성할 수 있으며, 상기 제 1 내지 제 8 클럭 신호들 간의 기준 위상 차는  $360^\circ / 2^3 = 45^\circ$  이다.
- [0043] 이 실시예에서 상기 제 1 내지 제 8 클럭 신호들은 모두 동일한 주파수로 진동하나 그 위상이 서로 다르다. 인접한 위상의 클럭 신호들은 서로 간에 기준 위상 차(즉, 도 2에서는  $45^\circ$ )만큼의 위상 간격을 갖도록 배열된다.
- [0044] 상기 주파수 대역 검출부(120)는 입력 신호의 주파수 대역을 검출한다. 본 발명의 실시예에 따르면, 상기 주파수 대역 검출부(120)는 상기 발진부(110)에서 생성된 클럭 신호들 중 적어도 일부를 이용하여 입력 신호의 주파수 대역을 검출할 수 있다.
- [0045] 상기 주파수 대역 검출부(120)는 다수의 주파수 대역들 중 상기 입력 신호에 해당하는 입력 주파수 대역을 결정할 수 있다. 예를 들어, 상기 주파수 대역 검출부(120)는 다수의 기 설정된 주파수 대역들 중 상기 입력 신호의 주파수가 속하는 주파수 대역을 입력 주파수 대역으로 결정할 수 있다.
- [0046] 본 발명의 실시예에 따르면, 상기 주파수 대역 검출부(120)는 제 1 내지 제 n 주파수 대역들 중 상기 입력 신호의 주파수가 속하는 입력 주파수 대역을 결정할 수 있다. 여기서, 상기 제 1 주파수 대역에서 상기 제 n 주파수 대역으로 갈수록 주파수 대역의 중심 주파수가 높아진다.
- [0047] 다시 말해, 본 발명의 실시예에서 상기 입력 신호의 입력 주파수 대역을 결정하기 위해 상기 주파수 대역 검출부(120)에 미리 설정된 주파수 대역들의 수는 n 개로, 상기 멀티-모드 위상 비교부(130)의 동작 모드들의 개수와 동일할 수 있다.
- [0048] 상기 입력 신호의 입력 주파수 대역을 결정하기 위해, 상기 주파수 대역 검출부(120)는 상기 발진부(110)가 생성한 제 1 내지 제  $2^n$  클럭 신호들 중에서 어느 하나에 해당하는 제 1 대역 검출 클럭 신호를 이용하여 제 1 타이밍에 상기 입력 신호의 논리 레벨을 획득하고, 제 1 내지 제  $2^n$  클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호보다 위상이  $360^\circ / 2^{k-1}$ 만큼 앞선 제 k 대역 검출 클럭 신호를 이용하여 제 k 타이밍에 상기 입력 신호의 논리 레벨을 획득할 수 있다. 여기서, k는 2 내지 n의 자연수이다.
- [0049] 그리고 나서, 상기 주파수 대역 검출부(120)는 획득된 논리 레벨들을 비교하여 논리 레벨의 일치 여부를 판별할 수 있다.
- [0050] 도 3 내지 도 5는 각각 본 발명의 일 실시예에 따라 제 1 주파수, 제 1 주파수보다 높은 제 2 주파수, 그리고 제 2 주파수보다 높은 제 3 주파수를 갖는 입력 신호의 입력 주파수 대역을 결정하는 과정을 설명하기 위한 예시적인 도면이다.
- [0051] 본 발명의 일 실시예에 따르면, 상기 주파수 대역 검출부(120)는 상기 발진부(110)가 생성한 클럭 신호들 중 적어도 일부를 이용하여 복수의 서로 다른 타이밍에 상기 입력 신호의 논리 레벨을 획득할 수 있다. 그리고 나서, 상기 주파수 대역 검출부(120)는 획득된 논리 레벨들 간의 일치 여부를 판별할 수 있다.
- [0052] 도 3 내지 도 5의 실시예는 n = 3으로 사전에 설정되어 있으므로, 상기 주파수 대역 검출부(120)는 제 1 내지 제 8 클럭 신호들 중에서 어느 하나에 해당하는 제 1 대역 검출 클럭 신호를 이용하여 제 1 타이밍에 상기 입력

신호의 논리 레벨을 획득하고, 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호보다 위상이  $360^\circ / 2^{k-1}$ 만큼 앞선 제 k 대역 검출 클럭 신호를 이용하여 제 k 타이밍에 상기 입력 신호의 논리 레벨을 획득한다. 여기서, k는 2 내지 3의 자연수, 즉 2와 3이다.

- [0053] 구체적으로, 도 3 내지 도 5를 참조하면, 상기 주파수 대역 검출부(120)는 도 2에 도시된 제 1 내지 제 8 클럭 신호들 중에서 위상이  $90^\circ$  에 해당하는 제 3 클럭 신호(제 1 대역 검출 클럭 신호에 해당), 위상이  $270^\circ$  에 해당하는 제 7 클럭 신호(제 2 대역 검출 클럭 신호에 해당), 그리고 위상이  $180^\circ$  에 해당하는 제 5 클럭 신호(제 3 대역 검출 클럭 신호에 해당)를 이용하여 세 개의 타이밍에 입력 신호의 논리 레벨을 획득할 수 있다.
- [0054] 상기 제 2 대역 검출 클럭 신호에 해당하는 제 7 클럭 신호는 상기 제 1 대역 검출 클럭 신호에 해당하는 제 3 클럭 신호보다 위상이  $360^\circ / 2^1 = 180^\circ$  만큼 앞서며, 상기 제 3 대역 검출 클럭 신호에 해당하는 제 5 클럭 신호는 상기 제 1 대역 검출 클럭 신호에 해당하는 제 3 클럭 신호보다 위상이  $360^\circ / 2^2 = 90^\circ$  만큼 앞선다.
- [0055] 그 뒤, 상기 주파수 대역 검출부(120)는 논리 레벨을 획득한 세 개의 타이밍 중에서 두 개의 타이밍, 예컨대 시간적으로 서로 인접한 두 타이밍에 획득한 입력 신호의 논리 레벨들을 비교하여 일치 여부를 판별할 수 있다.
- [0056] 구체적으로, 도 3과 같이 제 1 주파수의 입력 신호에 대하여, 위상이 각각  $90^\circ$ ,  $180^\circ$  및  $270^\circ$  에 해당하는 제 3, 제 5 및 제 7 클럭 신호의 인가 타이밍에서는 입력 신호의 논리 레벨이 모두 1이므로, 시간적으로 서로 인접한 타이밍에서 입력 신호의 논리 레벨들은 모두 일치한다.
- [0057] 이 경우, 상기 주파수 대역 검출부(120)는 입력 신호의 주파수 대역을 사전에 결정된 다수의 주파수 대역들, 즉 제 1 내지 제 3 주파수 대역들 중에서 중심 주파수가 가장 낮은 주파수 대역인 제 1 주파수 대역으로 결정할 수 있다.
- [0058] 그리고, 도 4와 같이 제 1 주파수보다 높은 제 2 주파수(예컨대, 제 1 주파수의 두 배에 해당하는 제 2 주파수)의 입력 신호에 대하여, 위상이 각각  $90^\circ$  및  $180^\circ$  에 해당하는 제 3 및 제 5 클럭 신호의 인가 타이밍에서는 입력 신호의 논리 레벨이 1이고, 위상이  $270^\circ$  에 해당하는 제 7 클럭 신호의 인가 타이밍에서는 입력 신호의 논리 레벨이 0이므로, 시간적으로 서로 인접한 세 개의 타이밍에서 입력 신호의 논리 레벨들 중 두 개는 일치하고 나머지 하나는 불일치한다.
- [0059] 이 경우, 상기 주파수 대역 검출부(120)는 입력 신호의 주파수 대역을 사전에 결정된 다수의 주파수 대역들, 즉 제 1 내지 제 3 주파수 대역들 중에서 제 1 주파수 대역보다 중심 주파수가 높은 제 2 주파수 대역으로 결정할 수 있다.
- [0060] 그리고, 도 5와 같이 제 2 주파수보다 높은 제 3 주파수(예컨대, 제 2 주파수의 두 배에 해당하는 제 3 주파수)의 입력 신호에 대하여, 위상이 각각  $90^\circ$  및  $270^\circ$  에 해당하는 제 3 및 제 7 클럭 신호의 인가 타이밍에서는 입력 신호의 논리 레벨이 1이고, 위상이  $180^\circ$  에 해당하는 제 5 클럭 신호의 인가 타이밍에서는 입력 신호의 논리 레벨이 0이므로, 시간적으로 서로 인접한 세 개의 타이밍에서 입력 신호의 논리 레벨들은 모두 불일치한다.
- [0061] 이 경우, 상기 주파수 대역 검출부(120)는 입력 신호의 주파수 대역을 사전에 결정된 다수의 주파수 대역들, 예컨대 제 1 내지 제 3 주파수 대역들 중에서 제 2 주파수 대역보다 중심 주파수가 높은 제 3 주파수 대역으로 결정할 수 있다.
- [0062] 이와 같이, 본 발명의 실시예에 따른 주파수 대역 검출부(120)는 발진부(110)가 생성한 클럭 신호들 중 적어도 일부를 이용하여, 복수의 서로 다른 타이밍 중에서 두 개의 타이밍, 예컨대 시간적으로 서로 인접한 타이밍에 해당하는 입력 신호의 논리 레벨들의 일치 여부를 기초로 입력 주파수 대역으로 결정할 수 있다.
- [0063] 상기 주파수 대역 검출부(120)에 의해 입력 주파수 대역으로 결정되는 다수의 주파수 대역들은 사전에 결정될 수 있다. 전술한 도 3 내지 도 5의 실시예에서, 상기 주파수 대역 검출부(120)는 제 1 내지 제 3 주파수 대역들 중에서 입력 주파수 대역을 결정하였으나, 상기 주파수 대역들의 수는 이에 제한되지 않는다. 실시예에 따라, 상기 주파수 대역 검출부(120)는 제 1 및 제 2 주파수 대역들 중에서 어느 하나를 입력 주파수 대역으로 결정할 수도 있고(즉,  $n = 2$ ), 제 1 내지 제 4 주파수 대역들 중에서 어느 하나를 입력 주파수 대역으로 결정할 수도 있다(즉,  $n = 4$ ).
- [0064] 도 6은 본 발명의 일 실시예에 따른 주파수 대역 검출부(120)의 예시적인 회로도이다.

- [0065] 본 발명의 일 실시예에 따르면, 상기 주파수 대역 검출부(120)는 복수의 플립플롭들(121) 및 적어도 하나의 XOR 게이트(122)를 포함할 수 있다.
- [0066] 상기 주파수 대역 검출부(120)에 포함되는 각각의 플립플롭(1211, 1212, 1213)은 입력 신호(Din) 및 서로 다른 타이밍의 클럭 신호(clk90, clk180, clk270)를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력할 수 있다.
- [0067] 구체적으로, 상기 주파수 대역 검출부(120)는 상기 입력 신호 및 상기 제 1 대역 검출 클럭 신호를 입력받아 상기 제 1 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 1 대역 검출 플립플롭, 및 상기 입력 신호 및 상기 제 k 대역 검출 클럭 신호를 입력받아 상기 제 k 대역 검출 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는 제 k 대역 검출 플립플롭을 포함할 수 있다.
- [0068] 예를 들어, 앞서 언급한 바와 같이 이 실시예에서 k는 2와 3이므로, 도 6을 참조하면 상기 주파수 대역 검출부(120)는 입력 신호(Din) 및 제 1 대역 검출 클럭 신호(즉, 제 3 클럭 신호, clk90)를 입력받아 상기 제 1 대역 검출 클럭 신호(clk90)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 1 대역 검출 플립플롭(1211); 입력 신호(Din) 및 제 3 대역 검출 클럭 신호(즉, 제 5 클럭 신호, clk180)를 입력받아 상기 제 3 대역 검출 클럭 신호(clk180)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 3 대역 검출 플립플롭(1213); 그리고 입력 신호(Din) 및 제 2 대역 검출 클럭 신호(즉, 제 7 클럭 신호, clk270)를 입력받아 상기 제 2 대역 검출 클럭 신호(clk270)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 2 대역 검출 플립플롭(1212)을 포함할 수 있다.
- [0069] 그 결과, 상기 제 1 대역 검출 플립플롭(1211)은 제 1 내지 제 8 클럭 신호들 중에서 어느 하나에 해당하는 제 1 대역 검출 클럭 신호(clk90)를 이용하여 제 1 타이밍에 입력 신호(Din)의 논리 레벨을 획득하고; 상기 제 3 대역 검출 플립플롭(1213)은 상기 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호(clk90)보다 위상이 90° 만큼 앞선 제 3 대역 검출 클럭 신호(clk180)를 이용하여 제 3 타이밍에 입력 신호(Din)의 논리 레벨을 획득하고; 상기 제 2 대역 검출 플립플롭(1212)은 상기 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 대역 검출 클럭 신호(clk90)보다 위상이 180° 만큼 앞선 제 2 대역 검출 클럭 신호를 이용하여 제 2 타이밍에 입력 신호(Din)의 논리 레벨을 획득할 수 있다.
- [0070] 이와 같은 회로 구성으로 상기 주파수 대역 검출부(120)는 복수의 서로 다른 타이밍(즉, 제 1 내지 제 3 타이밍)에 입력 신호(Din)의 논리 레벨을 획득할 수 있다.
- [0071] 그리고, 상기 주파수 대역 검출부(120)에 포함되는 각각의 XOR 게이트(1221, 1222)는 상기 플립플롭들(1211, 1212, 1213)로부터 출력된 신호들 중 두 개, 예컨대 시간적으로 서로 인접한 타이밍에 해당하는 논리 레벨의 신호들을 XOR 연산할 수 있다.
- [0072] 구체적으로, 상기 주파수 대역 검출부(120)는 n-1 개의 대역 검출 XOR 게이트들을 포함하며, 각각의 대역 검출 XOR 게이트는 제 1 내지 제 k 대역 검출 플립플롭들로부터 출력된 신호들 중 두 개를 입력받아 XOR 연산할 수 있다.
- [0073] 예를 들어, 도 6을 참조하면, k는 2와 3이므로 상기 주파수 대역 검출부(120)는 제 1 및 제 3 대역 검출 플립플롭들(1211, 1213)로부터 출력된 신호들을 XOR 연산하는 제 1 대역 검출 XOR 게이트(1221); 및 상기 제 2 및 제 3 대역 검출 플립플롭들(1212, 1213)로부터 출력된 신호들을 XOR 연산하는 제 2 대역 검출 XOR 게이트(1222)를 포함할 수 있다.
- [0074] 그 결과, 상기 제 1 대역 검출 XOR 게이트(1221)는 상기 제 1 타이밍에 획득한 입력 신호(Din)의 논리 레벨과 상기 제 3 타이밍에 획득한 입력 신호(Din)의 논리 레벨을 비교하여 논리 레벨의 일치 여부를 판별하고; 상기 제 2 대역 검출 XOR 게이트(1222)는 상기 제 2 타이밍에 획득한 입력 신호(Din)의 논리 레벨과 상기 제 3 타이밍에 획득한 입력 신호(Din)의 논리 레벨을 비교하여 논리 레벨의 일치 여부를 판별할 수 있다.
- [0075] 이와 같은 회로 구성으로 상기 주파수 대역 검출부(120)는 시간적으로 서로 인접한 타이밍에 획득한 입력 신호(Din)의 논리 레벨들을 비교하여 이 논리 레벨들의 일치 여부를 판별할 수 있다.
- [0076] 도 3 내지 도 6을 참조로 설명된 실시예에서 상기 주파수 대역 검출부(120)는 서로 간에 위상이 90° 만큼 차이는 세 개의 클럭 신호들(clk90, clk180, clk270)을 이용하여 입력 신호(Din)의 주파수 대역을 검출하였으나, 상기 입력 신호(Din)의 주파수 대역을 검출하기 위해 사용되는 클럭 신호들의 수 및 그들 간의 위상 차는 이에

제한되지 않는다.

- [0077] 입력 신호(Din)의 주파수 대역을 검출하기 위해 사용되는 클럭 신호들의 수 및 그들 간의 위상 차는 상기 주파수 대역 검출부(120)가 입력 주파수 대역을 결정하기 위해 사전에 결정된 주파수 대역들의 수(즉, n)에 의존할 수 있다.
- [0078] 만약 상기 주파수 대역 검출부(120)가 제 1 및 제 2 주파수 대역들 중 어느 하나로 입력 주파수 대역을 결정하는 경우(즉, n = 2), 상기 주파수 대역 검출부(120)는 위상이 180° 만큼 차이 나는 두 개의 클럭 신호들(예컨대, clk90 및 clk270)을 이용할 수도 있다.
- [0079] 전술한 과정을 통해 상기 주파수 대역 검출부(120)가 출력한 신호들(FBD\_01, FBD\_02)은 입력 신호(Din)의 주파수 대역인 입력 주파수 대역을 나타내며, 상기 멀티-모드 위상 비교부(130)는 이 신호들(FBD\_01, FBD\_02)을 기초로 다수의 모드들 중 어느 하나로 동작하여 입력 신호(Din)와 클럭 신호 간의 위상 차를 검출한다.
- [0080] 추가적으로, 도 6에서 제 4 대역 검출 플립플롭(1214)은 제 1 대역 검출 플립플롭(1211)의 출력 신호와 제 3 대역 검출 플립플롭(1213)의 출력 신호가 제 1 대역 검출 XOR 게이트(1221)에 동시에 입력되도록, 상기 제 1 대역 검출 플립플롭(1211)으로부터 출력되는 신호가 상기 제 1 대역 검출 XOR 게이트(1221)에 입력되는 타이밍을 조정한다. 그리고, 제 5 대역 검출 플립플롭(1215)은 제 2 대역 검출 플립플롭(1212)의 출력 신호와 제 3 대역 검출 플립플롭(1213)의 출력 신호가 제 2 대역 검출 XOR 게이트(1222)에 동시에 입력되도록, 상기 제 3 대역 검출 플립플롭(1213)으로부터 출력되는 신호가 상기 제 2 대역 검출 XOR 게이트(1222)에 입력되는 타이밍을 조정한다.
- [0081] 또한, 도 6에서 LOCK\_EN 신호는 상기 주파수 대역 검출부(120)를 인에이블시키는 신호로서, 상기 주파수 대역 검출부(120)는 이 인에이블 신호(LOCK\_EN)가 인가될 때에만 제 6 및 제 7 대역 검출 플립플롭들(1216, 1217)을 통해 입력 주파수 대역을 나타내는 신호들(FBD\_01, FBD\_02)을 출력할 수 있다.
- [0082] 상기 멀티-모드 위상 비교부(130)는 상기 주파수 대역 검출부(120)에 의해 검출된 입력 신호(Din)의 주파수 대역에 따라 다수의 동작 모드들 중 어느 하나로 상기 입력 신호(Din)와 클럭 신호 간의 위상 차를 검출한다.
- [0083] 본 발명의 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 입력 신호(Din)의 펄스 에지와 상기 발진부(110)에서 생성된 클럭 신호들 중 기준 클럭 신호의 펄스 에지 간 위상 선후 관계를 결정할 수 있다. 여기서, 상기 기준 클럭 신호는 입력 주파수 대역에 대응하는 동작 모드에 따라 상기 클럭 신호들 중에서 선택될 수 있다.
- [0084] 도 7 내지 도 9는 각각 본 발명의 일 실시예에 따라 제 1 내지 제 3 주파수를 갖는 입력 신호와 클럭 신호 간의 위상 선후 관계를 결정하기 위해 사용되는 기준 클럭 신호를 설명하기 위한 예시적인 도면이다.
- [0085] 입력 신호와 클럭 신호 간의 위상 선후 관계를 결정하기 위해 사용되는 기준 클럭 신호는 입력 신호의 주파수 대역에 대응하는 동작 모드에 따라 다수의 클럭 신호들 중 선택될 수 있다.
- [0086] 본 발명의 실시예에 따르면, 상기 기준 클럭 신호는 제 1 내지 제 2<sup>n</sup> 클럭 신호들 중 상기 입력 주파수 대역에 따라 결정된 적어도 하나의 후보 클럭 신호 중에서 선택된다.
- [0087] 본 발명의 실시예에 따르면, 상기 후보 클럭 신호는 상기 입력 주파수 대역이 제 1 주파수 대역인 경우, 제 1 내지 제 2<sup>n</sup> 클럭 신호들 중에서 어느 하나에 해당하는 제 1 후보 클럭 신호로 결정되고; 상기 입력 주파수 대역이 제 i 주파수 대역인 경우, 상기 제 1 후보 클럭 신호 및 상기 제 1 후보 클럭 신호보다 위상이 (p-1) · 360° / 2<sup>i-1</sup>만큼 앞선 제 p 후보 클럭 신호로 결정될 수 있다. 여기서, i는 2 내지 n 중 하나의 자연수이고, p는 2 내지 2<sup>i-1</sup>의 자연수이다.
- [0088] 앞서 언급한 바와 같이, 도 7 내지 도 9의 실시예에서, n = 3이므로, i는 2와 3 중 하나, 즉 2 또는 3이다.
- [0089] 먼저, 도 7을 참조하면, 입력 신호가 제 1 주파수로 진동하여 상기 주파수 대역 검출부(120)에 의해 입력 주파수 대역이 제 1 주파수 대역으로 결정된 경우, 기준 클럭 신호는 상기 발진부(110)에서 생성된 제 1 내지 제 8 클럭 신호들 중에서 어느 하나, 예컨대 위상이 45° 에 해당하는 제 2 클럭 신호(제 1 후보 클럭 신호에 해당, R1)로 선택될 수 있다.
- [0090] 그리고, 도 8을 참조하면, 입력 신호가 제 2 주파수로 진동하여 상기 주파수 대역 검출부(120)에 의해 입력 주

과수 대역이 제 2 주과수 대역으로 결정된 경우(즉,  $i = 2$ ), 기준 클럭 신호는 상기 발진부(110)에서 생성된 제 1 내지 제 8 클럭 신호들 중에서 둘, 예컨대 위상이 각각  $45^\circ$  및  $225^\circ$  에 해당하는 제 2 클럭 신호(제 1 후보 클럭 신호에 해당, R1) 및 제 6 클럭 신호(제 2 후보 클럭 신호에 해당, R2) 중에서 하나로 선택될 수 있다.

[0091] 그리고, 도 9를 참조하면, 입력 신호가 제 3 주과수로 진동하여 상기 주과수 대역 검출부(120)에 의해 입력 주과수 대역이 제 3 주과수 대역으로 결정된 경우(즉,  $i = 3$ ), 기준 클럭 신호는 상기 발진부(110)에서 생성된 제 1 내지 제 8 클럭 신호들 중에서 넷, 예컨대 위상이 각각  $45^\circ$ ,  $135^\circ$ ,  $225^\circ$  및  $315^\circ$  에 해당하는 제 2 클럭 신호(제 1 후보 클럭 신호에 해당, R1), 제 4 클럭 신호(제 2 후보 클럭 신호에 해당, R2), 제 6 클럭 신호(제 3 후보 클럭 신호에 해당, R3) 및 제 8 클럭 신호(제 4 후보 클럭 신호에 해당, R4) 중에서 하나로 선택될 수 있다.

[0092] 이와 같이, 본 발명의 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 입력 신호의 주과수가 높아질수록 후보 클럭 신호의 개수가 증가하도록(예컨대, 제 1 내지 제 3 주과수 대역에 대한 후보 클럭 신호의 수는 각각 1 개, 2 개 및 4 개) 구성될 수 있다.

[0093] 상기 멀티-모드 위상 비교부(130)는 입력 신호의 펄스 에지와 상기 후보 클럭 신호 중에서 어느 하나로 선택된 기준 클럭 신호(R)의 펄스 에지 간의 위상 선후 관계를 결정할 수 있다.

[0094] 도 10 및 도 11은 본 발명의 일 실시예에 따라 입력 신호와 기준 클럭 신호(R) 간의 위상 선후 관계를 결정하는 과정을 설명하기 위한 예시적인 도면이다.

[0095] 본 발명의 일 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 입력 신호와 기준 클럭 신호(R) 간의 위상 선후 관계를 결정하기 위해, 상기 발진부(110)에서 생성된 다수의 클럭 신호들 중 상기 기준 클럭 신호(R)보다 위상이 뒤진 클럭 신호(L)와 위상이 앞선 클럭 신호(E)를 더 이용할 수 있다.

[0096] 구체적으로, 상기 멀티-모드 위상 비교부(130)는 기준 클럭 신호(R)의 인가 타이밍에 해당하는 입력 신호의 논리 레벨, 상기 기준 클럭 신호(R)보다 위상이 뒤진 클럭 신호(L)의 인가 타이밍에 해당하는 입력 신호의 논리 레벨, 그리고 상기 기준 클럭 신호(R)보다 위상이 앞선 클럭 신호(E)의 인가 타이밍에 해당하는 입력 신호의 논리 레벨을 서로 비교하여, 입력 신호의 펄스 에지와 기준 클럭 신호(R)의 펄스 에지 간 위상 선후 관계를 결정할 수 있다.

[0097] 보다 구체적으로, 상기 멀티-모드 위상 비교부(130)는 기준 클럭 신호(R)의 인가 타이밍에 해당하는 논리 레벨과 상기 기준 클럭 신호(R)보다 위상이 뒤진 신호(L)의 인가 타이밍에 해당하는 논리 레벨을 비교하고, 기준 클럭 신호(R)의 인가 타이밍에 해당하는 논리 레벨과 상기 기준 클럭 신호(R)보다 위상이 앞선 신호(E)의 인가 타이밍에 해당하는 논리 레벨을 비교하여, 입력 신호와 기준 클럭 신호(R) 간 위상 선후 관계를 결정할 수 있다.

[0098] 먼저, 도 10의 입력 신호와 클럭 신호들을 살펴보면, 기준 클럭 신호(R)의 인가 타이밍에 입력 신호의 논리 레벨은 1이고, 상기 기준 클럭 신호(R)보다 위상이 뒤진 클럭 신호(L)의 인가 타이밍에 입력 신호의 논리 레벨은 0이고, 상기 기준 클럭 신호(R)보다 위상이 앞선 클럭 신호(E)의 인가 타이밍에 입력 신호의 논리 레벨은 1이므로, 상기 기준 클럭 신호(R)의 인가 타이밍에서의 논리 레벨과 상기 위상이 뒤진 클럭 신호(L)의 인가 타이밍에서의 논리 레벨은 서로 불일치하고, 상기 기준 클럭 신호(R)의 인가 타이밍에서의 논리 레벨과 상기 위상이 앞선 클럭 신호(E)의 인가 타이밍에서의 논리 레벨은 서로 일치한다.

[0099] 이 경우, 상기 멀티-모드 위상 비교부(130)는 클럭 신호가 입력 신호보다 위상이 앞선 것으로 결정할 수 있다.

[0100] 그리고, 도 11의 입력 신호와 클럭 신호들을 살펴보면, 기준 클럭 신호(R)의 인가 타이밍에 입력 신호의 논리 레벨은 0이고, 상기 기준 클럭 신호(R)보다 위상이 뒤진 클럭 신호(L)의 인가 타이밍에 입력 신호의 논리 레벨은 0이고, 상기 기준 클럭 신호(R)보다 위상이 앞선 클럭 신호(E)의 인가 타이밍에 입력 신호의 논리 레벨은 1이므로, 상기 기준 클럭 신호(R)의 인가 타이밍에서의 논리 레벨과 상기 위상이 뒤진 클럭 신호(L)의 인가 타이밍에서의 논리 레벨은 서로 일치하고, 상기 기준 클럭 신호(R)의 인가 타이밍에서의 논리 레벨과 상기 위상이 앞선 클럭 신호(E)의 인가 타이밍에서의 논리 레벨은 서로 불일치한다.

[0101] 이 경우, 상기 멀티-모드 위상 비교부(130)는 클럭 신호가 입력 신호보다 위상이 뒤진 것으로 결정할 수 있다.

[0102] 도 12는 본 발명의 일 실시예에 따른 멀티-모드 위상 비교부(130)의 예시적인 회로도이다.

[0103] 본 발명의 일 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 복수의 플립플롭들(131), 복수의 멀티플렉서들(132) 및 복수의 XOR 게이트들(133)을 포함할 수 있다.

- [0104] 상기 멀티-모드 위상 비교부(130)에 포함되는 각각의 플립플롭(1311 내지 1318)은 입력 신호(Din) 및 서로 다른 타이밍의 클럭 신호(clk0 내지 clk315)를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력할 수 있다.
- [0105] 구체적으로, 상기 멀티-모드 위상 비교부(130)는 상기 입력 신호 및 각각의 클럭 신호를 입력받아 해당 클럭 신호의 인가 타이밍에 상기 입력 신호가 갖는 논리 레벨의 신호를 출력하는  $2^n$  개의 위상 비교 플립플롭들을 포함할 수 있다.
- [0106] 예를 들어,  $n = 3$ 인 경우 상기 멀티-모드 위상 비교부(130)는 총 8 개의 위상 비교 플립플롭들(1311 내지 1318)을 포함한다. 도 12를 참조하면, 상기 멀티-모드 위상 비교부(130)는: 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 위상이 가장 뒤진 제 1 클럭 신호(clk0)를 입력받아, 상기 제 1 클럭 신호(clk0)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 1 위상 비교 플립플롭(1311); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 클럭 신호(clk0)보다 위상이  $45^\circ$  만큼 앞선 제 2 클럭 신호(clk45)를 입력받아, 상기 제 2 클럭 신호(clk45)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 2 위상 비교 플립플롭(1312); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 2 클럭 신호(clk45)보다 위상이  $45^\circ$  만큼 앞선 제 3 클럭 신호(clk90)를 입력받아, 상기 제 3 클럭 신호(clk90)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 3 위상 비교 플립플롭(1313); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 3 클럭 신호(clk90)보다 위상이  $45^\circ$  만큼 앞선 제 4 클럭 신호(clk135)를 입력받아, 상기 제 4 클럭 신호(clk135)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 4 위상 비교 플립플롭(1314); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 4 클럭 신호(clk135)보다 위상이  $45^\circ$  만큼 앞선 제 5 클럭 신호(clk180)를 입력받아, 상기 제 5 클럭 신호(clk180)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 5 위상 비교 플립플롭(1315); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 5 클럭 신호(clk180)보다 위상이  $45^\circ$  만큼 앞선 제 6 클럭 신호(clk225)를 입력받아, 상기 제 6 클럭 신호(clk225)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 6 위상 비교 플립플롭(1316); 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 상기 제 6 클럭 신호(clk225)보다 위상이  $45^\circ$  만큼 앞선 제 7 클럭 신호(clk270)를 입력받아, 상기 제 7 클럭 신호(clk270)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 7 위상 비교 플립플롭(1317); 및 입력 신호(Din) 및 제 1 내지 제 8 클럭 신호들 중에서 위상이 가장 앞선 제 8 클럭 신호(clk315)를 입력받아, 상기 제 8 클럭 신호(clk315)의 인가 타이밍에 상기 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하는 제 8 위상 비교 플립플롭(1318)을 포함할 수 있다.
- [0107] 상기 멀티-모드 위상 비교부(130)에 포함된 각각의 멀티플렉서(1321, 1322, 1323)는 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중 하나를 선택할 수 있다.
- [0108] 구체적으로, 상기 멀티-모드 위상 비교부(130)는 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중에서 상기 기준 클럭 신호(R)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 1 위상 비교 멀티플렉서(1321), 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중에서 상기 기준 클럭 신호(R)보다 위상이  $360^\circ / 2^n$ 만큼 뒤진 클럭 신호(L)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 2 위상 비교 멀티플렉서(1322), 및 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 상기 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중에서 상기 기준 클럭 신호(R)보다 위상이  $360^\circ / 2^n$ 만큼 앞선 클럭 신호(E)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 3 위상 비교 멀티플렉서(1323)를 포함할 수 있다.
- [0109] 예를 들어, 도 12를 참조하면,  $n = 3$ 인 경우 상기 멀티-모드 위상 비교부(130)는: 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 제 1 내지 제 8 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중에서 기준 클럭 신호(R)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 1 위상 비교 멀티플렉서(1321); 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 제 1 내지 제 8 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들 중에서 상기 기준 클럭 신호(R)보다 위상이  $45^\circ$  만큼 뒤진 클럭 신호(L)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 2 위상 비교 멀티플렉서(1322); 및 상기 주파수 대역 검출부(120)로부터 출력된 신호에 따라 제 1 내지 제 8 위상 비교 플립플롭들(1311 내지 1318)로부터 출력된 신호들

중에서 상기 기준 클럭 신호(R)보다 위상이 45° 만큼 앞선 클럭 신호(E)의 타이밍에 해당하는 논리 레벨의 신호를 선택하는 제 3 위상 비교 멀티플렉서(1323)를 포함할 수 있다.

- [0110] 또한, 상기 멀티-모드 위상 비교부(130)에 포함된 각각의 XOR 게이트(1331, 1332)는 상기 위상 비교 멀티플렉서들(1321, 1322, 1323)로부터 출력된 신호들 중 서로 인접한 타이밍에 해당하는 논리 레벨의 신호들을 XOR 연산할 수 있다.
- [0111] 예를 들어, 도 12를 참조하면, 상기 멀티-모드 위상 비교부(130)는: 제 1 및 제 2 위상 비교 멀티플렉서들(1321, 1322)로부터 출력된 신호들을 XOR 연산하는 제 1 위상 비교 XOR 게이트(1331); 및 제 1 및 제 3 위상 비교 멀티플렉서들(1321, 1323)로부터 출력된 신호들을 XOR 연산하는 제 2 위상 비교 XOR 게이트(1332)를 포함할 수 있다.
- [0112] 이와 같은 회로 구성을 통해 상기 멀티-모드 위상 비교부(130)는 입력 신호(Din)의 펄스 에지와 클럭 신호의 펄스 에지 간 위상 선후 관계를 결정할 수 있다. 이러한 회로에서, 클럭 신호가 입력 신호(Din)보다 위상이 앞서는 경우, 제 1 및 제 2 위상 비교 XOR 게이트들(1331, 1332)은 각각 논리 레벨 1 및 0의 신호를 출력하고, 반대로 클럭 신호가 입력 신호(Din)보다 위상이 뒤지는 경우, 제 1 및 제 2 위상 비교 XOR 게이트들(1331, 1332)은 각각 논리 레벨 0 및 1의 신호를 출력할 수 있다.
- [0113] 또한, 전술한 바와 같이, 상기 멀티-모드 위상 비교부(130)의 회로를 다수의 동작 모드들에 대하여 각각의 동작 모드에 대응하는 회로 블록을 개별적으로 구성하지 않고, 플립플롭들(131), 멀티플렉서들(132) 및 XOR 게이트들(133)을 이용하여 하나의 회로 블록에서 상기 주파수 대역 검출부(120)의 출력 신호에 따라 각기 다른 모드로 동작할 수 있도록 구성함으로써, 광대역으로 동작하기 위해 필요한 클럭 및 데이터 복원 장치(100)의 회로 면적을 줄일 수 있다.
- [0114] 나아가, 앞서 설명한 바와 같이, 상기 기준 클럭 신호(R)는 상기 발진부(110)에서 생성된 클럭 신호들 중 상기 멀티-모드 위상 비교부(130)의 동작 모드에 따라 사전에 결정된 적어도 하나의 후보 클럭 신호 중에서 선택될 수 있다.
- [0115] 도 13은 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 1 주파수 대역인 경우 멀티-모드 위상 비교부(130)의 동작을 설명하기 위한 예시적인 도면이고, 도 14는 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 2 주파수 대역인 경우 멀티-모드 위상 비교부(130)의 동작을 설명하기 위한 예시적인 도면이고, 도 15 및 도 16은 본 발명의 일 실시예에 따라 입력 주파수 대역이 제 3 주파수 대역인 경우 멀티-모드 위상 비교부(130)의 동작을 설명하기 위한 예시적인 도면이다.
- [0116] 먼저, 입력 주파수 대역이 제 1 주파수 대역으로 결정되어 상기 멀티-모드 위상 비교부(130)가 제 1 내지 제 3 동작 모드들 중에서 제 1 동작 모드로 동작하는 경우, 상기 후보 클럭 신호는 제 1 내지 제 8 클럭 신호들 중에서 어느 하나에 해당하는 제 1 후보 클럭 신호(예컨대, 제 2 클럭 신호(clk45))로 결정될 수 있다.
- [0117] 이 경우, 도 13을 참조하면, 제 1 위상 비교 멀티플렉서(1321)는 제 2 위상 비교 플립플롭(1312)으로부터 출력되는 신호를 선택하여, 기준 클럭 신호(즉, 제 2 클럭 신호(clk45))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 2 위상 비교 멀티플렉서(1322)는 제 1 위상 비교 플립플롭(1311)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 뒤진 클럭 신호(즉, 제 1 클럭 신호(clk0))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 3 위상 비교 멀티플렉서(1323)는 제 3 위상 비교 플립플롭(1313)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 앞선 클럭 신호(즉, 제 3 클럭 신호(clk90))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력할 수 있다.
- [0118] 그리고, 입력 주파수 대역이 제 2 주파수 대역으로 결정되어 상기 멀티-모드 위상 비교부(130)가 제 1 내지 제 3 동작 모드들 중에서 제 2 동작 모드로 동작하는 경우(즉,  $i = 2$ ), 상기 후보 클럭 신호는 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 후보 클럭 신호(clk45) 및 상기 제 1 후보 클럭 신호보다 위상이 180° 만큼 앞선 제 2 후보 클럭 신호(예컨대, 제 6 클럭 신호(clk225))로 결정될 수 있다.
- [0119] 이 경우, 상기 멀티-모드 위상 비교부(130)는 도 13에서와 같이 제 1 내지 제 3 위상 비교 멀티플렉서들(1321, 1322, 1323)이 각각 제 2, 제 1 및 제 3 위상 비교 플립플롭들(1312, 1311, 1313)로부터 출력되는 신호들을 선택하여 입력 신호(Din)의 펄스 에지와 제 2 클럭 신호(clk45)의 펄스 에지 간 위상 선후 관계를 결정하거나,
- [0120] 도 14와 같이 제 1 위상 비교 멀티플렉서(1321)가 제 6 위상 비교 플립플롭(1316)으로부터 출력되는 신호를 선택하여, 기준 클럭 신호(즉, 제 6 클럭 신호(clk225))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를

출력하고; 제 2 위상 비교 멀티플렉서(1322)가 제 5 위상 비교 플립플롭(1315)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 뒤진 클럭 신호(즉, 제 5 클럭 신호(clk180))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 3 위상 비교 멀티플렉서(1323)가 제 7 위상 비교 플립플롭(1317)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 앞선 클럭 신호(즉, 제 7 클럭 신호(clk270))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력함으로써, 입력 신호(Din)의 펄스 에지와 제 6 클럭 신호(clk225)의 펄스 에지 간 위상 선후 관계를 결정할 수 있다.

[0121] 그리고, 입력 주파수 대역이 제 3 주파수 대역으로 결정되어 상기 멀티-모드 위상 비교부(130)가 제 1 내지 제 3 동작 모드들 중에서 제 3 동작 모드로 동작하는 경우(즉,  $i = 3$ ), 상기 후보 클럭 신호는 제 1 내지 제 8 클럭 신호들 중에서 상기 제 1 후보 클럭 신호(clk45), 상기 제 2 후보 클럭 신호(clk225), 상기 제 1 후보 클럭 신호보다 위상이 90° 만큼 앞선 제 3 후보 클럭 신호(예컨대, 제 4 클럭 신호(clk135)), 및 상기 제 2 후보 클럭 신호보다 위상이 90° 만큼 앞선 제 4 후보 클럭 신호(예컨대, 제 8 클럭 신호(clk315))로 결정될 수 있다.

[0122] 이 경우, 상기 멀티-모드 위상 비교부(130)는 도 13에서와 같이 제 1 내지 제 3 위상 비교 멀티플렉서들(1321, 1322, 1323)이 각각 제 2, 제 1 및 제 3 위상 비교 플립플롭들(1312, 1311, 1313)로부터 출력되는 신호들을 선택하여 입력 신호(Din)의 펄스 에지와 제 2 클럭 신호(clk45)의 펄스 에지 간 위상 선후 관계를 결정하거나,

[0123] 도 14에서와 같이 제 1 내지 제 3 위상 비교 멀티플렉서들(1321, 1322, 1323)이 각각 제 6, 제 5 및 제 7 위상 비교 플립플롭들(1316, 1315, 1317)로부터 출력되는 신호들을 선택하여 입력 신호(Din)의 펄스 에지와 제 6 클럭 신호(clk225)의 펄스 에지 간 위상 선후 관계를 결정하거나,

[0124] 도 15와 같이 제 1 위상 비교 멀티플렉서(1321)가 제 4 위상 비교 플립플롭(1314)으로부터 출력되는 신호를 선택하여, 기준 클럭 신호(즉, 제 4 클럭 신호(clk135))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 2 위상 비교 멀티플렉서(1322)가 제 3 위상 비교 플립플롭(1313)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 뒤진 클럭 신호(즉, 제 3 클럭 신호(clk90))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 3 위상 비교 멀티플렉서(1323)가 제 5 위상 비교 플립플롭(1315)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 앞선 클럭 신호(즉, 제 5 클럭 신호(clk180))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력함으로써, 입력 신호(Din)의 펄스 에지와 제 4 클럭 신호(clk135)의 펄스 에지 간 위상 선후 관계를 결정하거나,

[0125] 도 16과 같이 제 1 위상 비교 멀티플렉서(1321)가 제 8 위상 비교 플립플롭(1318)으로부터 출력되는 신호를 선택하여, 기준 클럭 신호(즉, 제 8 클럭 신호(clk315))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 2 위상 비교 멀티플렉서(1322)가 제 7 위상 비교 플립플롭(1317)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 뒤진 클럭 신호(즉, 제 7 클럭 신호(clk270))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력하고; 제 3 위상 비교 멀티플렉서(1323)가 제 1 위상 비교 플립플롭(1311)으로부터 출력되는 신호를 선택하여, 상기 기준 클럭 신호보다 위상이 45° 만큼 앞선 클럭 신호(즉, 제 1 클럭 신호(clk0))의 타이밍에서 입력 신호(Din)가 갖는 논리 레벨의 신호를 출력함으로써, 입력 신호(Din)의 펄스 에지와 제 8 클럭 신호(clk315)의 펄스 에지 간 위상 선후 관계를 결정할 수 있다.

[0126] 본 발명의 실시예에서, 상기 후보 클럭 신호가 둘 이상인 경우, 각각의 후보 클럭 신호는 동일한 간격의 위상 차를 가지며, 입력 신호의 주파수가 높아져 입력 주파수 대역의 중심 주파수가 높아질수록 후보 클럭 신호들 간의 위상 차는 작아진다.

[0127] 만약 입력 신호의 주파수가 제 3 주파수보다 더 높은 제 4 주파수이며 입력 주파수 대역이 제 3 주파수 대역보다 중심 주파수가 높은 제 4 주파수 대역으로 결정된 경우(즉,  $i = 4$ ), 상기 제 4 주파수 대역에 대하여 사전에 결정된 후보 클럭 신호들의 개수는  $2^3 = 8$  개이며 이 후보 클럭 신호들은  $360^\circ / 2^3 = 45^\circ$  의 위상 차를 가질 수 있다.

[0128] 이 경우, 도 10 및 도 11과 같이 기준 클럭 신호(R)보다 위상이 뒤진 클럭 신호(L)와 위상이 앞선 클럭 신호(E)를 이용하여, 45° 의 위상 간격마다 입력 신호와 클럭 신호 간의 위상 선후 관계를 결정하기 위해, 상기 발진부(110)는 45° 보다 더 작은 위상 간격으로 클럭 신호들을 생성하는 것이 요구되며, 예를 들어  $360^\circ / 2^4 = 22.5^\circ$  의 기준 위상 차를 갖는  $2^4 = 16$  개의 클럭 신호들을 생성할 수 있다.

[0129] 이와 같이, 본 발명에서 클럭 신호들 간의 기준 위상 차, 입력 신호의 주파수 대역을 검출하기 위해 사용되는 클럭 신호들의 개수 및 그들 간의 위상 차, 그리고 입력 신호와 클럭 신호 간의 위상 차를 검출하기 위해 사용

되는 후보 클럭 신호들의 개수 및 그들 간의 위상 차는 상기 클럭 및 데이터 복원 장치(100)의 동작 모드의 개수인  $n$ , 즉 입력 주파수 대역을 결정하기 위해 사전에 결정된 주파수 대역들의 개수에 의존할 수 있다.

- [0130] 나아가, 본 발명의 일 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 상기 후보 클럭 신호가 둘 이상인 경우, 후보 클럭 신호들 중에서 어느 하나로 선택되는 기준 클럭 신호(R)를 주기적으로 변경할 수 있다. 다시 말해, 상기 기준 클럭 신호(R)는 다수의 후보 클럭 신호들 중에서 어느 하나로 선택되며 주기적으로 변경될 수 있다.
- [0131] 구체적으로, 상기 기준 클럭 신호(R)는 상기 입력 주파수 대역이 상기 제  $i$  주파수 대역인 경우, 제 1 및 제  $p$  후보 클럭 신호들 중에서 어느 하나로 주기적으로 변경될 수 있다. 앞서 설명한 바와 같이,  $i$ 는 2 내지  $n$  중 하나의 자연수이고,  $p$ 는 2 내지  $2^{i-1}$ 의 자연수이다.
- [0132] 일 예로, 입력 주파수 대역이 제 2 주파수 대역으로 결정되어 상기 멀티-모드 위상 비교부(130)가 제 2 동작 모드로 동작하는 경우(즉,  $i = 2$ ), 도 13 및 도 14를 참조하여 설명한 바와 같이 상기 후보 클럭 신호들은 제 2 및 제 6 클럭 신호들( $clk45$ ,  $clk225$ )로 결정되며, 상기 기준 클럭 신호(R)는 제 2 또는 제 6 클럭 신호가 교대로 선택될 수 있다.
- [0133] 다른 예로, 입력 주파수 대역이 제 3 주파수 대역으로 결정되어 상기 멀티-모드 위상 비교부(130)가 제 3 동작 모드로 동작하는 경우(즉,  $i = 3$ ), 도 13 내지 도 16을 참조하여 설명한 바와 같이 상기 후보 클럭 신호들은 제 2, 제 4, 제 6 및 제 8 클럭 신호들( $clk45$ ,  $clk135$ ,  $clk225$ ,  $clk315$ )로 결정되며, 상기 기준 클럭 신호(R)는 제 2, 제 4, 제 6 또는 제 8 클럭 신호가 교대로 선택될 수 있다.
- [0134] 이와 같이 상기 기준 클럭 신호(R)를 주기적으로 변경하기 위해, 상기 멀티-모드 위상 비교부(130)는 각각이 상기 주파수 대역 검출부(120)의 출력 신호에 따라 상기 발진부(110)에서 생성되는 진동 신호 및 논리 레벨 0에 해당하는 신호 중 어느 하나를 선택하는 다수의 멀티플렉서들을 포함할 수 있다.
- [0135] 도 17은 본 발명의 일 실시예에 따라 기준 클럭 신호(R)를 주기적으로 변경하기 위한 멀티-모드 위상 비교부(130)의 회로 구성을 예시적으로 설명하기 위한 도면이다.
- [0136] 이 실시예에 따르면, 상기 멀티-모드 위상 비교부(130)는 기준 클럭 신호(R)를 주기적으로 변경하기 위해, 각각이 상기 주파수 대역 검출부(120)의 출력 신호(FBD\_01, FBD\_02)에 따라 상기 발진부(110)에서 생성되는 진동 신호 및 논리 레벨 0에 해당하는 신호(GND) 중 어느 하나를 선택하는 다수의 멀티플렉서들(1351, 1352)을 포함할 수 있다.
- [0137] 구체적으로, 도 17을 참조하면, 상기 멀티-모드 위상 비교부(130)는 상기 발진부(110)로부터 출력되는 진동 신호(예컨대, 클럭 신호)의 주파수를 감소시키는 제 1 분주기(1341), 상기 제 1 분주기(1341)로부터 출력되는 진동 신호의 주파수를 감소시키는 제 2 분주기(1342), 상기 주파수 대역 검출부(120)로부터 출력되는 신호들 중 하나(FBD\_01)에 따라 상기 제 2 분주기(1342)로부터 출력되는 신호 및 논리 레벨 0에 해당하는 신호(GND) 중 어느 하나를 선택하는 제 1 멀티플렉서(1351), 및 상기 주파수 대역 검출부(120)로부터 출력되는 신호들 중 나머지 하나(FBD\_02)에 따라 상기 제 1 분주기(1341)로부터 출력되는 신호 및 논리 레벨 0에 해당하는 신호(GND) 중 어느 하나를 선택하는 제 2 멀티플렉서(1352)를 포함할 수 있다.
- [0138] 상기 제 1 및 제 2 분주기들(1341, 1342)은 상기 발진부(110)가 생성하는 고속의 진동 신호를 후술하는 위상 조절부(140), 예컨대 루프 필터의 대역폭에 적합하게 진동 신호의 주파수를 낮추기 위한 것으로, 상기 제 1 분주기(1341)는 진동 신호의 주파수(예컨대, 3 GHz)를 1/128만큼 감소시키고, 상기 제 2 분주기(1342)는 상기 제 1 분주기(1341)로부터 출력된 진동 신호의 주파수를 1/2만큼 감소시킬 수 있으나, 주파수 감소 정도는 실시예에 따라 다양하게 설정될 수 있다.
- [0139] 도 17의 회로에서, 입력 주파수 대역이 제 1 주파수 대역으로 결정되어 도 6에 도시된 주파수 대역 검출부(120)의 출력 신호(FBD\_01, FBD\_02)가 모두 0이면, 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)은 모두 논리 레벨이 0인 신호(GND)를 출력하며; 입력 주파수 대역이 제 2 주파수 대역으로 결정되어 상기 주파수 대역 검출부(120)의 출력 신호(FBD\_01, FBD\_02)가 각각 0 및 1이면, 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)은 각각 논리 레벨이 0인 신호(GND) 및 상기 제 1 분주기(1341)로부터 출력된 진동 신호를 출력하며; 입력 주파수 대역이 제 3 주파수 대역으로 결정되어 상기 주파수 대역 검출부(120)의 출력 신호(FBD\_01, FBD\_02)가 모두 1이면, 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)은 각각 상기 제 2 및 제 1 분주기들(1342, 1341)로부터 출력된 진동 신호들을 출력할 수 있다.

- [0140] 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)로부터 출력되는 신호들(C1, C2)은 도 12의 제 1 내지 제 3 위상 비교 멀티플렉서들(1321, 1322, 1323)의 제어 신호로 제공될 수 있다.
- [0141] 이와 같은 회로 구성에 따르면, 입력 주파수 대역이 제 2 주파수 대역인 경우 상기 제 2 멀티플렉서(1352)가 진동 신호를 출력하므로, 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)의 출력 신호들(C1, C2)이 갖는 논리 레벨은 (0, 0)과 (0, 1)이 주기적으로 반복될 수 있다.
- [0142] 마찬가지로, 입력 주파수 대역이 제 3 주파수 대역인 경우 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)이 모두 진동 신호를 출력하며 그 진동 신호의 주파수는 서로 다르므로, 상기 제 1 및 제 2 멀티플렉서들(1351, 1352)의 출력 신호들(C1, C2)이 갖는 논리 레벨은 (0, 0), (0, 1), (1, 0) 및 (1, 1)이 주기적으로 반복될 수 있다.
- [0143] 진술한 실시예에 따르면, 입력 주파수 대역이 제 2 또는 제 3 주파수 대역으로 결정되어 후보 클럭 신호가 둘 이상인 경우, 상기 멀티-모드 위상 비교부(130)에 의해 입력 신호와 비교되는 기준 클럭 신호의 위상이 어느 하나로 고정되지 않고 다수의 위상들로 분산될 수 있다. 그 결과, 상기 클럭 및 데이터 복원 장치(100)는 입력 신호의 특정 위상에서 펄스 에지의 오프셋이 과도하게 발생하더라도 해당 부분의 오프셋에 영향받지 않고 입력 신호의 여러 위상에서 클럭 신호의 펄스 에지와 위상 선후 관계를 판단하므로, 보다 정확하고 신뢰성 있는 동작이 가능하다.
- [0144] 다시 도 1을 참조하면, 상기 클럭 및 데이터 복원 장치(100)는 위상 조절부(140)를 더 포함할 수 있다.
- [0145] 상기 위상 조절부(140)는 상기 멀티-모드 위상 비교부(130)에 의해 검출된 입력 신호와 클럭 신호 간 위상 선후 관계를 기반으로 상기 클럭 신호의 위상이 조절되도록 상기 발진부(110)를 제어할 수 있다.
- [0146] 도 18은 본 발명의 일 실시예에 따른 위상 조절부(140)의 예시적인 블록도이다.
- [0147] 본 발명의 일 실시예에 따르면, 상기 위상 조절부(140)는 상기 결정된 위상 선후 관계에 따라 양 또는 음의 펄스 신호를 공급하는 차지 펌프(charge pump)(141), 및 상기 펄스 신호를 직류 전압 신호로 변환하는 루프 필터(loop filter)(142)를 포함할 수 있다.
- [0148] 도 18을 참조하면, 상기 차지 펌프(141)는 상기 멀티-모드 위상 비교부(130)로부터 출력된 신호들(UP, DN)(예컨대, 도 12에서 제 1 및 제 2 위상 비교 XOR 게이트들(1331, 1332)의 출력 신호들)을 입력받아, 클럭 신호의 펄스 에지가 입력 신호의 펄스 에지보다 위상이 앞선 경우(도 10 참조) 양의 펄스 신호를 생성하고, 클럭 신호의 펄스 에지가 입력 신호의 펄스 에지보다 위상이 뒤진 경우(도 11 참조) 음의 펄스 신호를 생성할 수 있다.
- [0149] 그리고, 상기 루프 필터(142)는 상기 차지 펌프(141)가 생성한 펄스 신호를 입력받아 직류 전압 신호로 변환하고, 이 직류 전압 신호를 상기 발진부(110)로 제공하여 상기 발진부(110)에서 생성되는 클럭 신호의 위상을 조절할 수 있다.
- [0150] 진술한 본 발명의 실시예에 따른 클럭 및 데이터 복원 장치(100)는 발진부(100)가 입력 신호(Din)와 동일한 주파수를 갖는 클럭 신호를 생성할 필요 없이, 일정한 주파수를 갖되 사전에 결정된 기준 위상 차를 갖는 다수의 클럭 신호들 중에서 입력 신호(Din)의 주파수 대역에 따라 가변적으로 선택되는 기준 클럭 신호(R)를 이용하여 입력 신호(Din)와 클럭 신호 간의 위상 선후 관계를 결정한다.
- [0151] 따라서, 본 발명의 실시예에 따르면, 입력 신호(Din)의 주파수가 광대역에 걸쳐 형성되더라도 상기 클럭 및 데이터 복원 장치(100)에 구비되는 발진기가 상기 입력 신호(Din)에 상응하여 광대역의 주파수에 걸쳐 클럭 신호를 생성할 필요가 없으며, 협대역에서 클럭 신호를 생성하는 발진기를 이용하더라도 광대역으로 동작하는 클럭 및 데이터 복원 장치(100)를 제공할 수 있다.
- [0152] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 진술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

**부호의 설명**

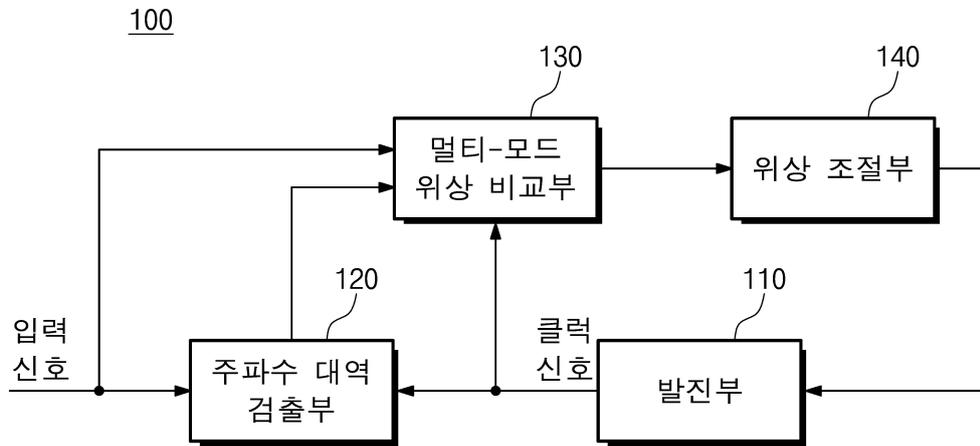
- [0153] 100: 클럭 및 데이터 복원 장치
- 110: 발진부
- 120: 주파수 대역 검출부

130: 멀티-모드 위상 비교부

140: 위상 조절부

도면

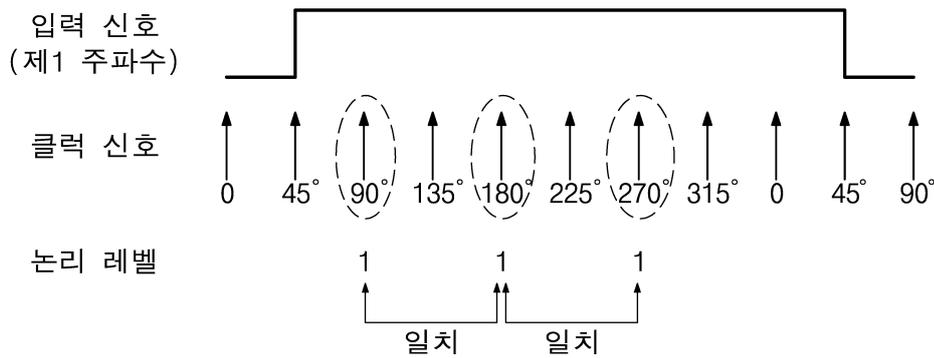
도면1



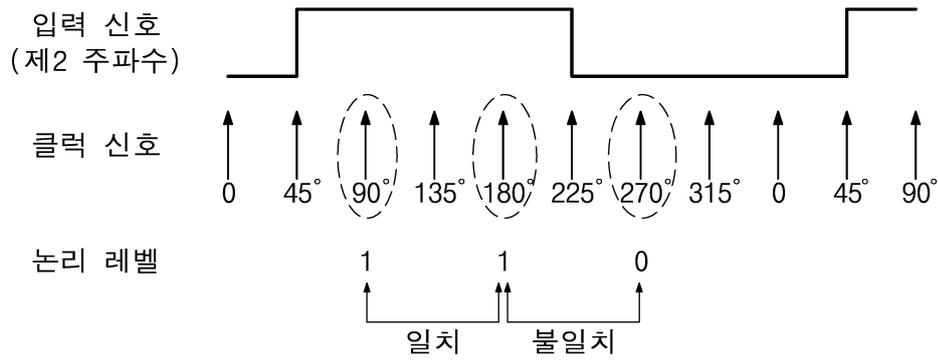
도면2



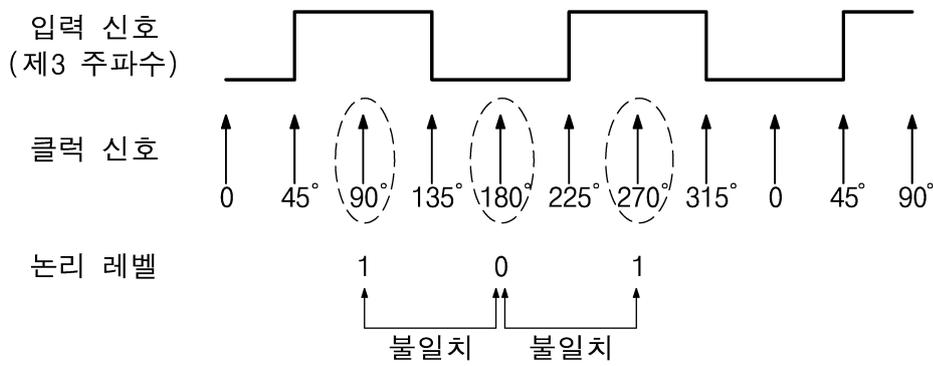
도면3



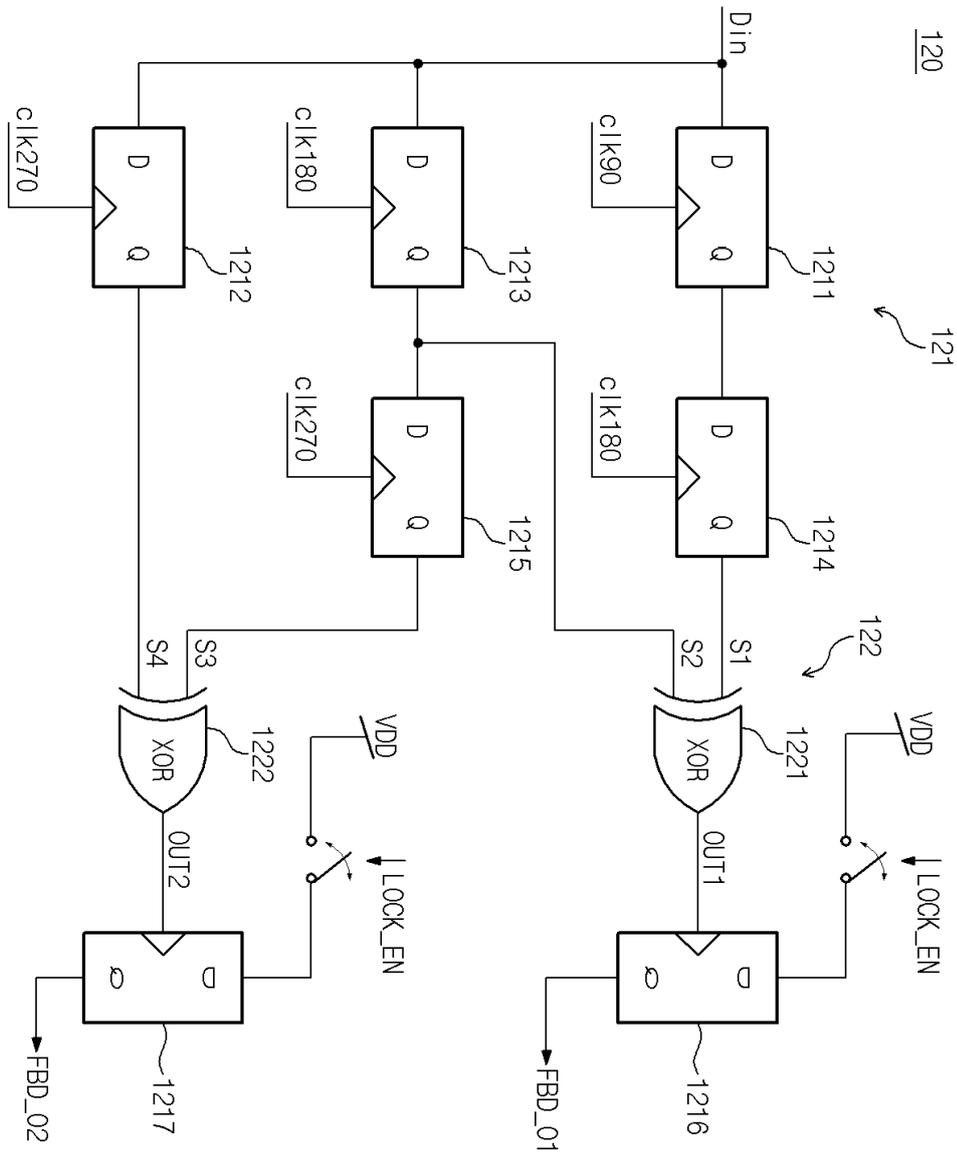
도면4



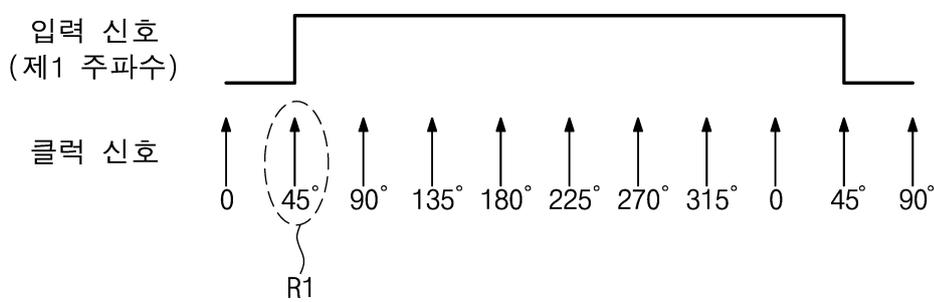
도면5



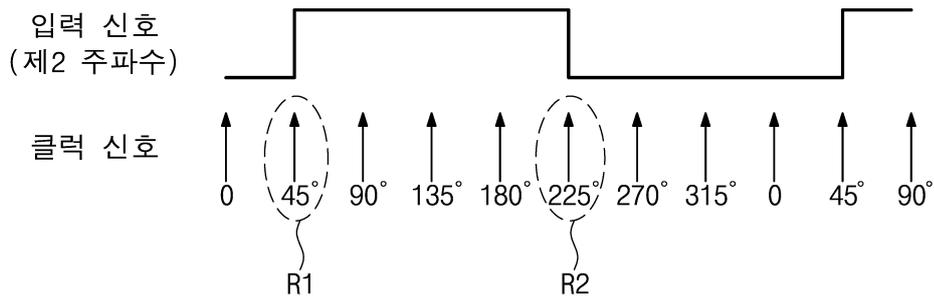
도면6



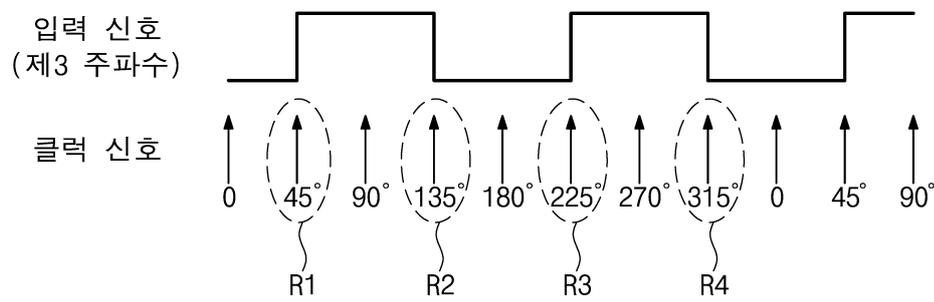
도면7



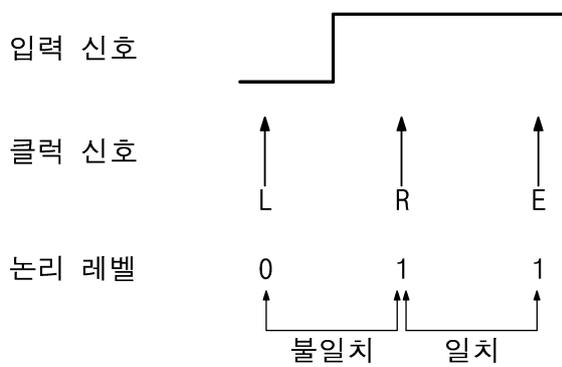
도면8



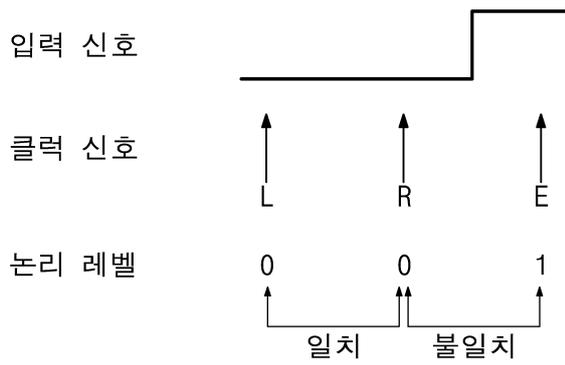
도면9



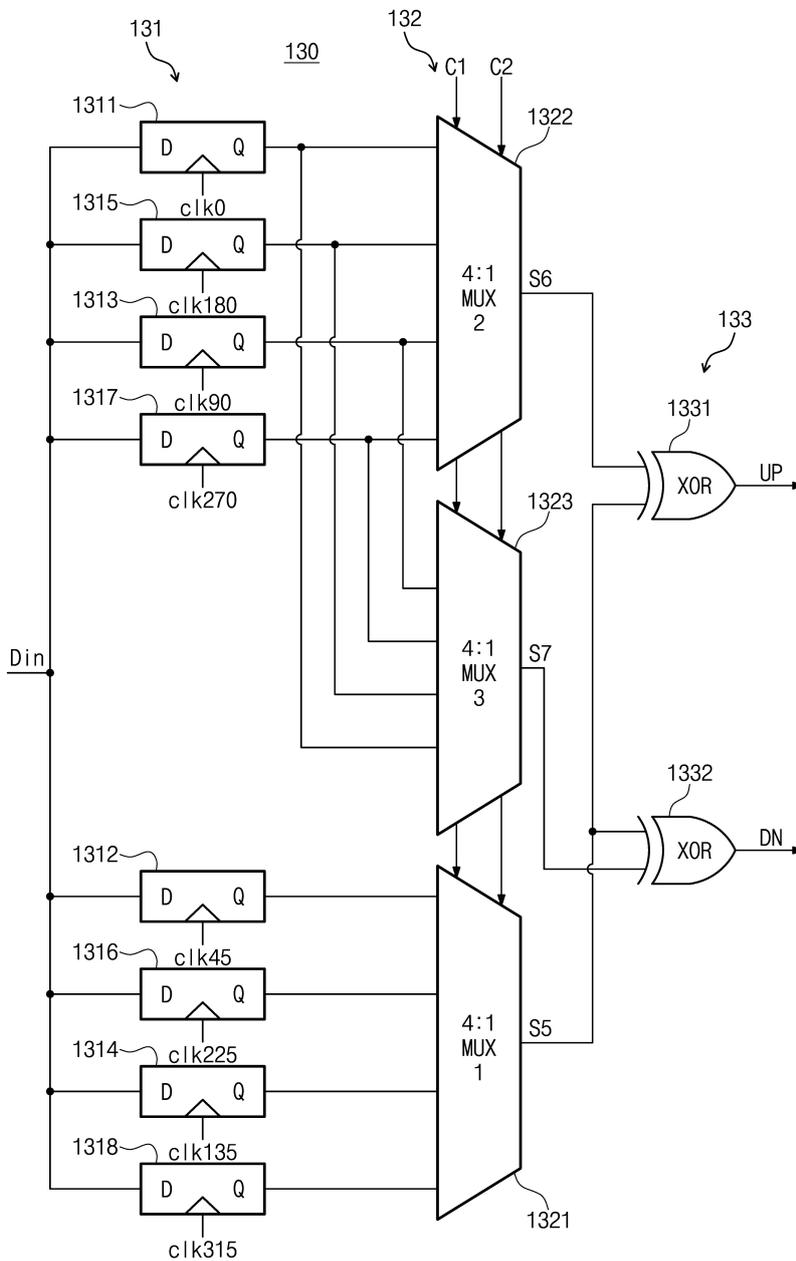
도면10



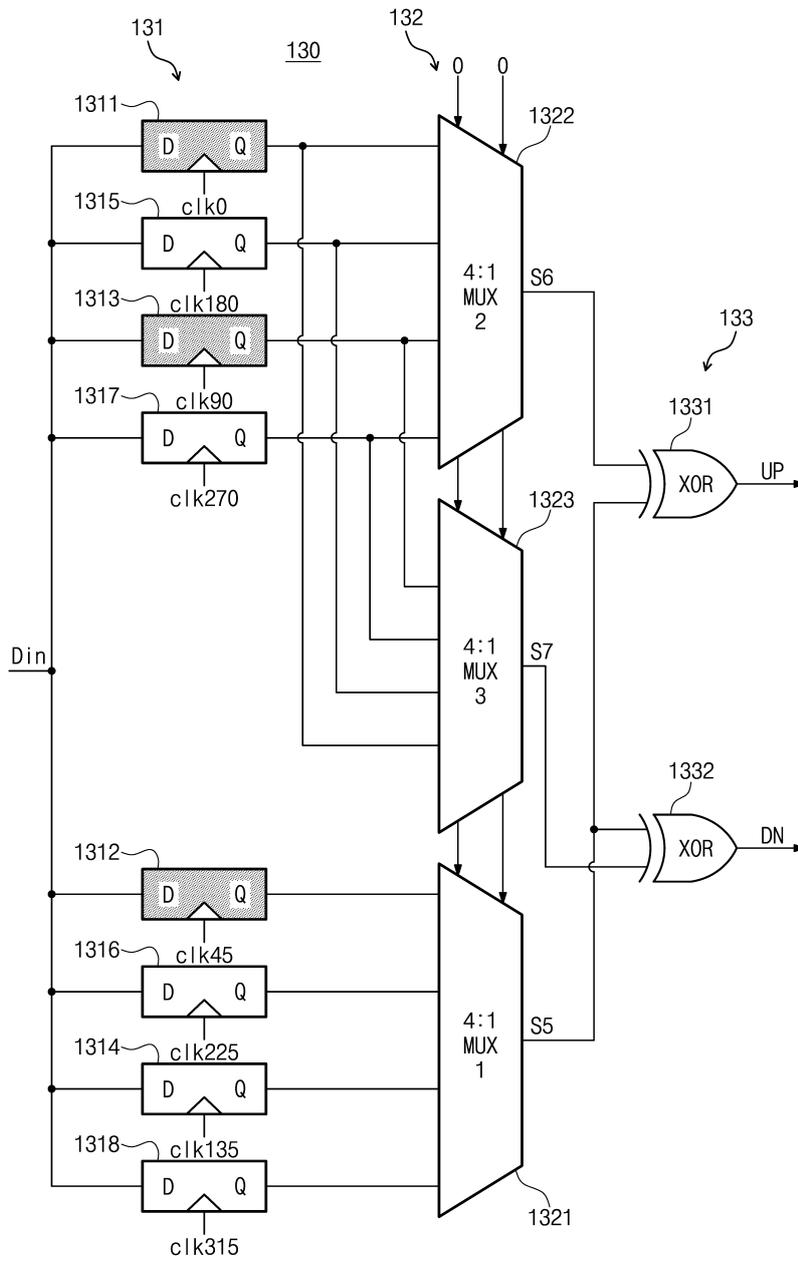
도면11



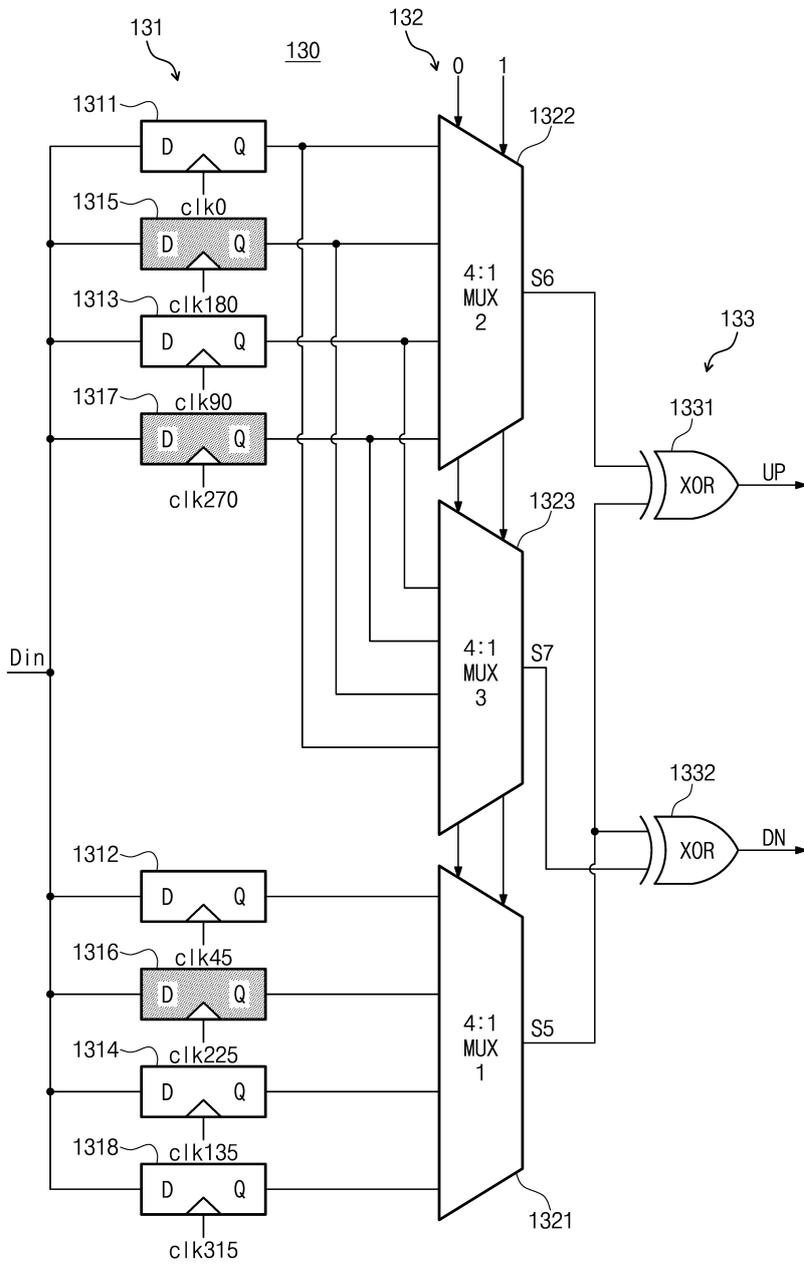
도면12



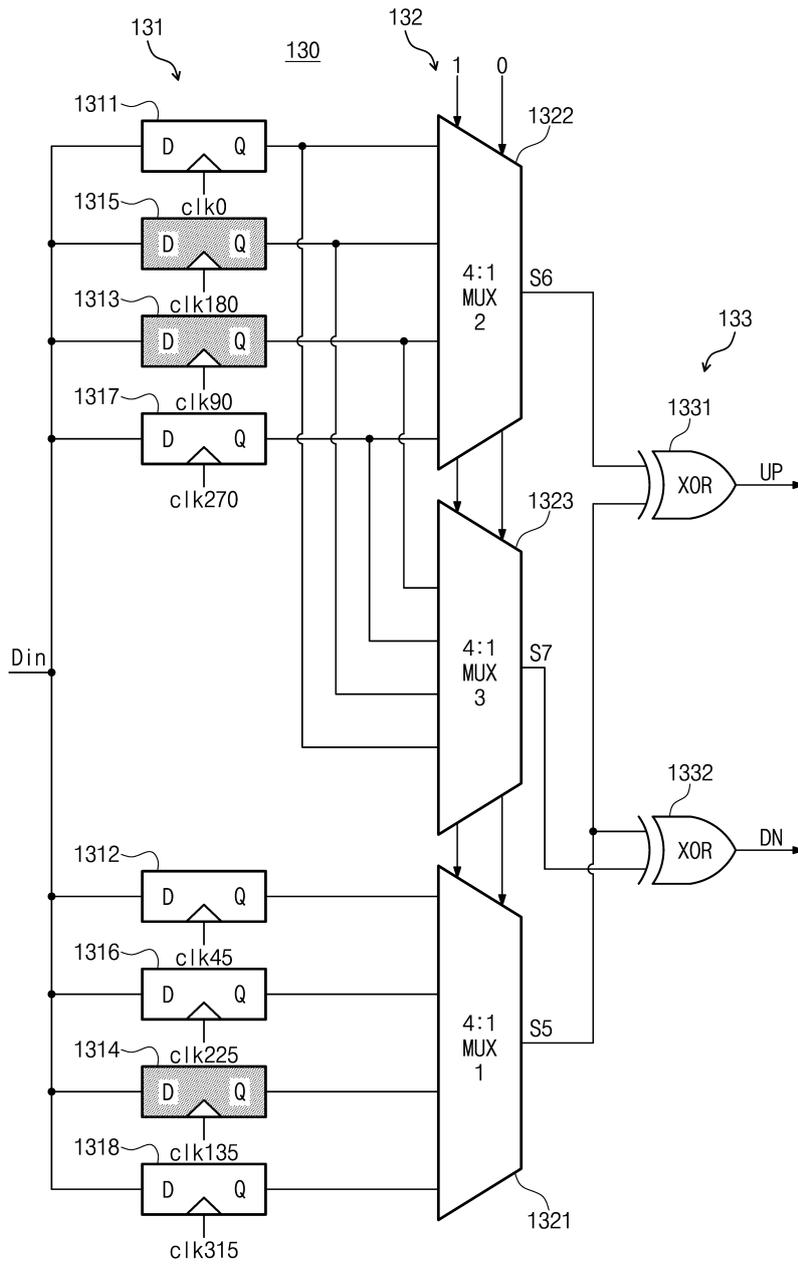
도면13



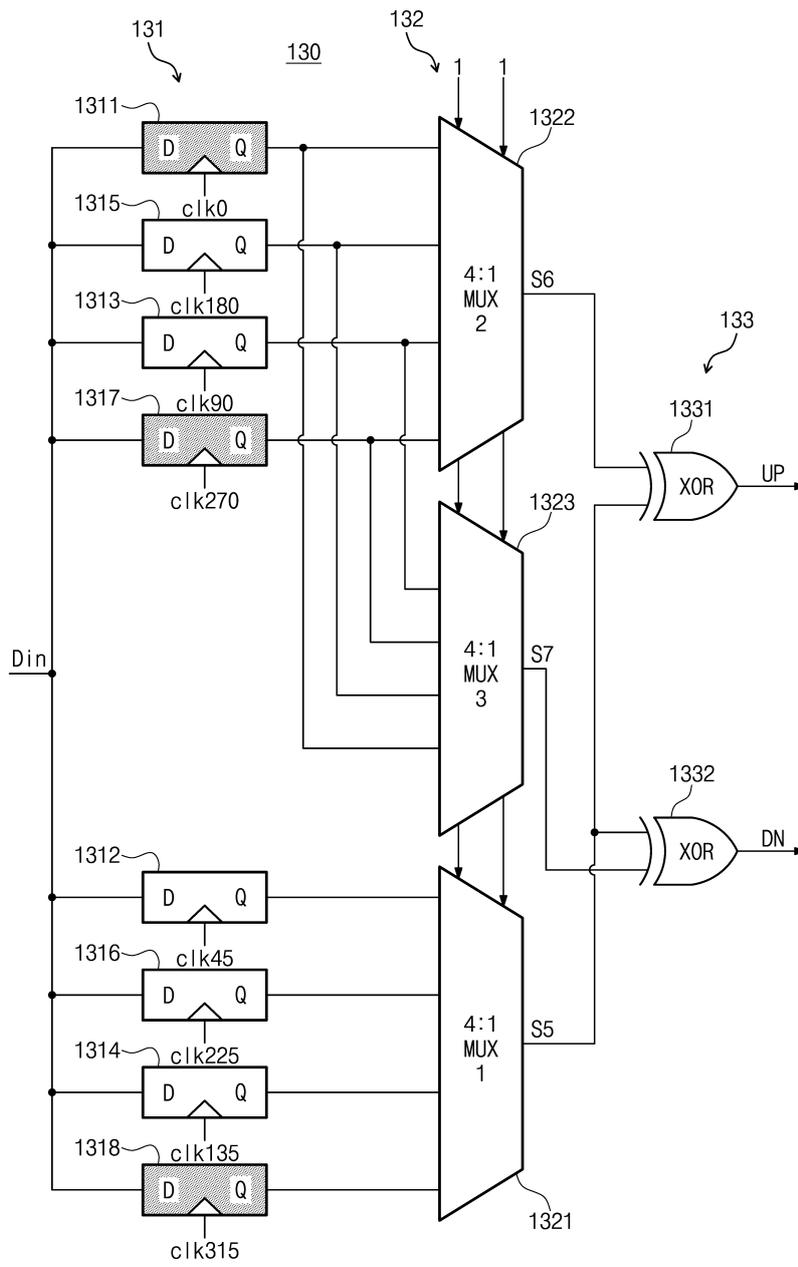
도면14



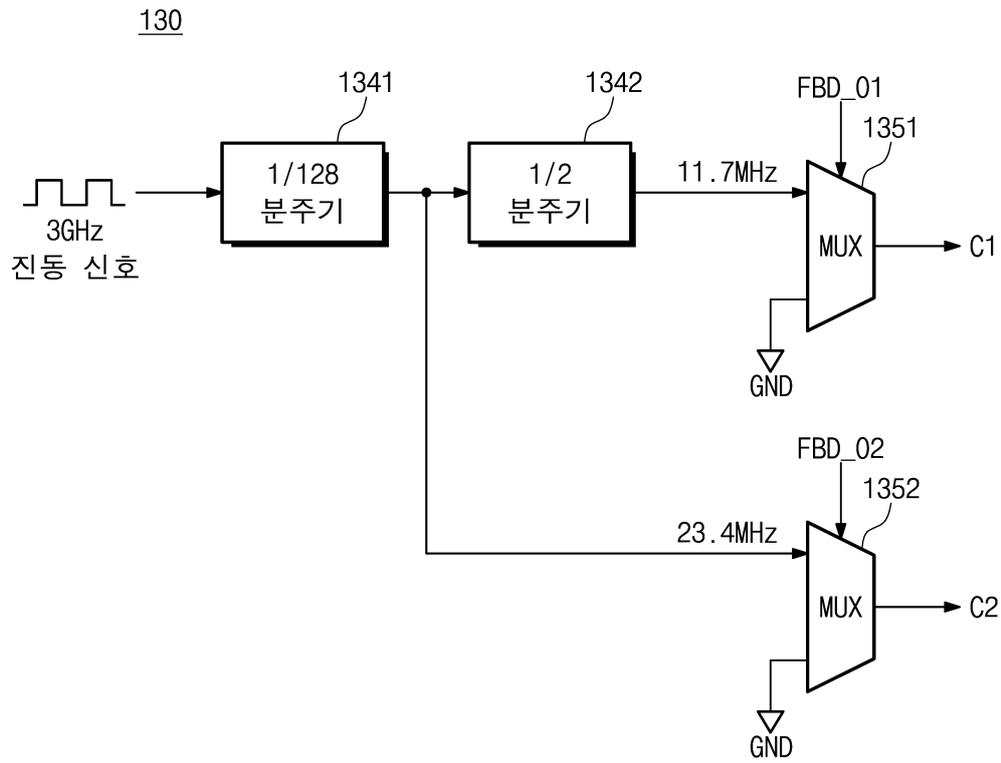
도면15



도면16



도면17



도면18

